

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

014593636 **Image available**

WPI Acc No: 2002-414340/200244

Related WPI Acc No: 2003-532400; 2003-616638

XRAM Acc No: C02-117016

XRPX Acc No: N02-325764

Manufacture of semiconductor device by forming semiconductor film in peripheral circuit region, and crystallizing the film using energy beam whose energy continuously outputs with respect to time

Patent Assignee: FUJITSU LTD (FUIT)

Inventor: HARA A; SASAKI N; TAKEUCHI F; YOSHINO K

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020031876	A1	20020314	US 2001935090	A	20010822	200244 B
KR 2002016585	A	20020304	KR 200151354	A	20010824	200258
JP 2003086505	A	20030320	JP 2001256977	A	20010827	200330
TW 535194	A	20030601	TW 2001120943	A	20010824	200374

Priority Applications (No Type Date): JP 2001202730 A 20010703; JP 2000255646 A 20000825

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20020031876	A1		50 H01L-021/00	
KR 2002016585	A		G02F-001/136	
JP 2003086505	A	38	H01L-021/20	
TW 535194	A		H01L-021/00	

Abstract (Basic): US 20020031876 A1

NOVELTY - A semiconductor device is manufactured by forming semiconductor film (11) in a peripheral circuit region, and crystallizing the film using an energy beam whose energy is continuously output with respect to time so that the film will serves as active film of each thin film transistor in pixel and peripheral circuit regions which are provided on a substrate.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for

(A) a semiconductor device comprising a substrate (21) where pixel region, thin film transistors and a peripheral region are formed, in which each active semiconductor film of the thin film transistors is formed into a crystalline state having streamlined flow pattern with large crystal grains; and

(B) a semiconductor manufacturing apparatus comprising disposing mechanism for carrying a substrate on a surface where a semiconductor film is formed and the substrate can be freely moved parallel with the film, laser oscillator having a function of outputting an energy beam continuously with respect to time and a beam splitter for optically splitting the energy beam into sub-beams. Portions of the film are scanned with each sub-beams to crystallized the predetermined portions.

USE - For manufacturing semiconductor device, e.g. peripheral circuit-integrated thin film transistor-liquid crystal displays.

ADVANTAGE - The transistor characteristics of the thin film transistors are made uniform at a high level, and the mobility is high particularly in the peripheral circuit region to enable high-speed driving. The throughput crystallization of the semiconductor film is improved.

DESCRIPTION OF DRAWING(S) - The figure is schematic sectional view showing the manufacturing of a thin film transistor.

Semiconductor film (11)

Substrate (21)

pp; 50 DwgNo 10A/37

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FORMING; SEMICONDUCTOR;

FILM; PERIPHERAL; CIRCUIT; REGION; CRYSTAL; FILM; ENERGY; BEAM; ENERGY;

CONTINUOUS; OUTPUT; RESPECT; TIME

Derwent Class: L03; P81; P85; U11; U12; U13; U14; V05

International Patent Class (Main): G02F-001/136; H01L-021/00; H01L-021/20

International Patent Class (Additional): G02F-001/1368; G09F-009/00;

G09F-009/30; H01L-021/268; H01L-021/336; H01L-021/36; H01L-021/84;

H01L-027/108; H01L-029/04; H01L-029/76; H01L-029/786; H01L-031/36

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07592661 **Image available**

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR
MANUFACTURING APPARATUS

PUB. NO.: 2003-086505 [JP 2003086505 A]

PUBLISHED: March 20, 2003 (20030320)

INVENTOR(s): HARA AKITO

 TAKEUCHI FUMIYO

 YOSHINO KENICHI

 SASAKI NOBUO

APPLICANT(s): FUJITSU LTD

APPL. NO.: 2001-256977 [JP 2001256977]

FILED: August 27, 2001 (20010827)

PRIORITY: 2000-255646 [JP 2000255646], JP (Japan), August 25, 2000
(20000825)

 2001-202730 [JP 2001202730], JP (Japan), July 03, 2001
(20010703)

INTL CLASS: H01L-021/20; G02F-001/1368; G09F-009/00; G09F-009/30;
 H01L-021/268; H01L-021/336; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To realize a TFT which can have high-level uniform transistor characteristics in applying to system-on-glass or the like and can be driven at a high speed with superior mobility especially in a peripheral circuit region.

SOLUTION: An a-Si film 2 is patterned on a glass substrate 1 into lines (ribbon forms) (Fig. 1(a)) or into islands (Fig. 1(b)), the surface of the a-Si film 2 or the rear surface of the glass substrate 1 is irradiated and scanned in an arrowed direction with an energy beam emitted from a CW laser 3 timewise continuously to thereby crystallize the film 2.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-86505

(P 2 0 0 3 - 8 6 5 0 5 A)

(43)公開日 平成15年3月20日(2003.3.20)

(51)Int. Cl. 7	識別記号	F I	テーマコード (参考)
H01L 21/20		H01L 21/20	2H092
G02F 1/1368		G02F 1/1368	5C094
G09F 9/00	348	G09F 9/00	348 C 5F052
9/30	338	9/30	338 5F110
H01L 21/268		H01L 21/268	J 5G435

審査請求 有 請求項の数38 O L (全38頁) 最終頁に続く

(21)出願番号	特願2001-256977(P 2001-256977)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成13年8月27日(2001.8.27)	(72)発明者	原 明人 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願2000-255646(P2000-255646)	(72)発明者	竹内 文代 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32)優先日	平成12年8月25日(2000.8.25)	(74)代理人	100090273 弁理士 國分 孝悦
(33)優先権主張国	日本 (J P)		
(31)優先権主張番号	特願2001-202730(P2001-202730)		
(32)優先日	平成13年7月3日(2001.7.3)		
(33)優先権主張国	日本 (J P)		

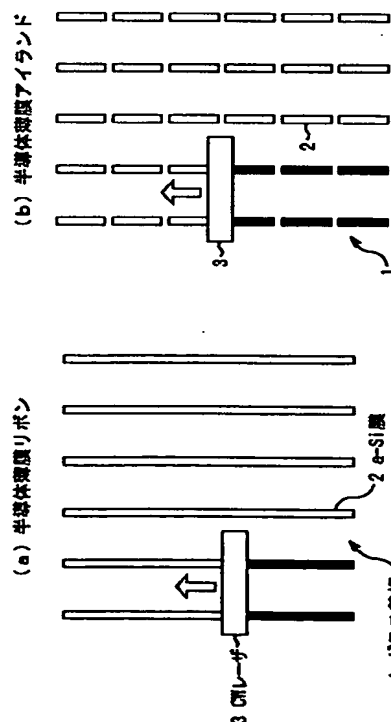
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び半導体製造装置

(57)【要約】

【課題】 システム・オン・ガラス等への適用に際して、T F Tのトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能なT F Tを実現する。

【解決手段】 ガラス基板1上でa-S i膜2を線状(リボン状)(図1(a))、又は島状(アイランド状)(図1(b))にパターニングし、a-S i膜2の表面又はガラス基板1の裏面に対し、CWレーザ3から時間に対して連続的に出力するエネルギービームを矢印の方向へ照射走査して、a-S i膜2を結晶化する。



半導体装置のリボンおよび島状のa-Si膜

【特許請求の範囲】

【請求項 1】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、

前記画素領域及び前記周辺回路領域のうち、少なくとも前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化し、前記各薄膜トランジスタの動作半導体薄膜とすることを特徴とする半導体装置の製造方法。

【請求項 2】 前記画素領域と前記周辺回路領域とにおいて、時間に対して連続的にエネルギーを出力する前記エネルギービームの照射条件が異なることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記画素領域に形成された半導体薄膜をパルス状にエネルギーを出力するエネルギービームにより結晶化し、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化して動作半導体薄膜とし、前記画素領域に形成された半導体薄膜をそのまま動作半導体薄膜とすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 時間に対する連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記エネルギービームを光学的に複数の副ビームに分割し、前記半導体薄膜の異なる部位に前記各副ビームを同時に照射して結晶化することを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記エネルギービーム又は前記各副ビームにより、前記各薄膜トランジスタの形成部位のみを結晶化に最適なエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過することを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 少なくとも 2 種類の前記各薄膜トランジスタの形成部位において、結晶化のためのビーム走査速度、エネルギー強度、及びビーム形状のうち少なくとも 1 種が異なることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化することを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】 前記半導体薄膜の隣接する前記薄膜ト

ランジスタの形成部位の照射間隔期間に、前記エネルギービームを高速で他の前記形成部位に移動させ、当該他の前記形成部位を照射することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカーを形成することを特徴とする請求項 9 又は 10 に記載の半導体装置の製造方法。

【請求項 12】 前記基板上に、Si 及び N、又は、Si、O 及び N を含む薄膜を有するバッファ層を介して前記半導体薄膜を形成して、前記半導体薄膜の水素濃度を 1×10^{18} 個/cm³ 以下とすることを特徴とする請求項 1 ～ 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】 前記薄膜の水素濃度を 1×10^{18} 個/cm³ 以下とすることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記半導体薄膜の脱水素化を、当該半導体薄膜の形成後、又は前記半導体薄膜を形成し所定のパターンを形成した後に行うことを特徴とする請求項 12 又は 13 に記載の半導体装置の製造方法。

【請求項 15】 基板上に、各々複数の薄膜トランジスタを有してなる画素領域及びその周辺回路領域が設けられてなる半導体装置であって、

少なくとも前記周辺回路領域を構成する前記各薄膜トランジスタの動作半導体薄膜は、結晶粒が大きい流線形状のフローパターンの結晶状態に形成されていることを特徴とする半導体装置。

【請求項 16】 前記フローパターンの結晶粒がチャネル長よりも長いことを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】 前記基板上に、パターンニングされた前記各動作半導体薄膜に対応して、当該動作半導体薄膜を結晶化するためのエネルギービームの照射位置合わせ用のマーカーが形成されていることを特徴とする請求項 15 又は 16 に記載の半導体装置。

【請求項 18】 基板上に形成された半導体薄膜を結晶化するエネルギービームを射出する半導体製造装置であって、

前記エネルギービームを時間に対して連続的に出力することが可能であり、照射対象物に対して前記エネルギービームを相対的に走査する機能を有し、前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする半導体製造装置。

【請求項 19】 前記エネルギービームの不安定性を示すノイズ（光ノイズ）が 0.1 rms % 以下であることを特徴とする請求項 18 に記載の半導体製造装置。

【請求項 20】 前記エネルギービームの走査速度が 1

0 cm/s 以上であることを特徴とする請求項 18 又は 19 に記載の半導体製造装置。

【請求項 21】 表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、

エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、

前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段とを備え、

前記各副ビームを前記半導体薄膜の各所定部位に対して相対的に走査し、前記各所定部位を結晶化することを特徴とする半導体製造装置。

【請求項 22】 前記各副ビームにより、前記各薄膜トランジスタの形成部位のみを結晶化に最適なエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過することを特徴とする請求項 21 に記載の半導体製造装置。

【請求項 23】 少なくとも 2 種類の前記各薄膜トランジスタの形成部位において、結晶化のためのビーム走査速度、エネルギー強度、及びビーム形状のうち少なくとも 1 種が異なるように、前記各副ビームを照射することを特徴とする請求項 21 又は 22 に記載の半導体製造装置。

【請求項 24】 前記各副ビームを互いに重なり合わないように照射することを特徴とする請求項 21～23 のいずれか 1 項に記載の半導体製造装置。

【請求項 25】 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする請求項 21～24 のいずれか 1 項に記載の半導体製造装置。

【請求項 26】 前記エネルギービームの不安定性を示すノイズ（光ノイズ）が 0.1 rms % 以下であることを特徴とする請求項 25 に記載の半導体製造装置。

【請求項 27】 表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、

エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、

前記エネルギービームの通過領域及び遮断領域を有し、前記エネルギービームを断続的に通過させる断続出射手段とを備え、

前記基板を前記エネルギービームに対して相対的に走査させながら、前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化することを特徴とする半導体製造装置。

【請求項 28】 前記基板の走査速度及び前記断続出射のタイミングを調節することにより、前記半導体薄膜の隣接する前記薄膜トランジスタの形成部位の照射間隔期間に、前記エネルギービームを高速で他の前記形成部位

に移動させ、当該他の前記形成部位を照射することを特徴とする請求項 27 に記載の半導体製造装置。

【請求項 29】 前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段を更に備え、

前記基板を前記エネルギービームに対して相対的に走査させながら、前記半導体薄膜に前記各副ビームを断続的に照射し、複数の前記各薄膜トランジスタの形成部位を同時に結晶化することを特徴とする請求項 27 又は 28 に記載の半導体製造装置。

【請求項 30】 前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカーを形成することを特徴とする請求項 27～29 のいずれか 1 項に記載の半導体製造装置。

【請求項 31】 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする請求項 27～30 のいずれか 1 項に記載の半導体製造装置。

【請求項 32】 前記エネルギービームの不安定性を示すノイズ（光ノイズ）が 0.1 rms % 以下であることを特徴とする請求項 31 に記載の半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、並びに半導体製造装置に関し、特に、無アルカリガラス等の非晶質基板上に、各々複数の薄膜トランジスタを有してなる画素領域及びその周辺回路領域が設けられてなる半導体装置、いわゆるシステム・オン・パネルに適用して好適である。

【0002】

【従来の技術】薄膜トランジスタ（TFT:Thin Film Transistor）は、極めて薄く微細な動作半導体薄膜に形成されるものであるため、近時の大面積化の要請を考慮して大画面の液晶パネル等への搭載が検討されており、特に、システム・オン・パネル等への適用が期待されている。

【0003】前記システム・オン・パネルでは、無アルカリガラス等の非晶質基板上に複数の多結晶半導体 TFT（特に多結晶シリコン TFT（p-SiTFT））を形成する。この場合、半導体薄膜としてアモルファスシリコン（a-Si）膜を成膜した後、紫外波長・短パルスのエキシマレーザを照射することで、ガラス基板に影響を与えず a-Si 膜のみを熔融結晶化させて動作半導体薄膜として機能する p-Si 膜を得る方法が主流である。

【0004】

【発明が解決しようとする課題】システム・オン・パネルの大面積化に対応した高出力且つ線状のビームを出射するエキシマレーザが開発されているが、レーザ結晶化

によって得られる p-Si 膜は照射エネルギー密度だけでなくビームプロファイルや膜表面の状態等の影響を受け易く、結晶粒径の大きなものを大面積に均一に形成するのは難しかった。エキシマレーザによって結晶化した試料を AFM で観察すると、図 37 に示すように、ランダムに発生した核から等方的に成長した結晶粒はそれぞれ正多角形に近い形状を呈し、結晶粒同士が衝突する結晶粒界に突起が見られ、結晶粒径は $1\mu\text{m}$ に満たない。

【0005】このように、エキシマレーザを用いた結晶化によって得られる p-Si 膜を用いて TFT を作製した場合、チャンネル領域には多数の結晶粒が含まれる。結晶粒径が大きくチャンネル内に存在する粒界が少ないと移動度が大きく、チャンネル領域となった部分の結晶粒径が小さくチャンネル内に粒界が多数存在すると、移動度が小さくなる等のように粒径に依存して TFT のトランジスタ特性のバラツキが生じ易いという問題がある。また、結晶粒界には欠陥が多く、チャンネル内部に粒界が存在することによりトランジスタ特性が抑えられてしまう。この技術により得られる TFT の移動度は $150\text{cm}^2/\text{Vs}$ 程度である。

【0006】本発明は、前記課題に鑑みてなされたものであり、周辺回路一体型 TFT-LCD、システム・オン・パネル、システム・オン・ガラス等への適用に際して、TFT のトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能な TFT を備えてなる半導体装置及びその製造方法、並びに半導体製造装置を提供することを目的とする。

【0007】更に本発明は、TFT のトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能な TFT を実現するに際して、時間に対して連続的にエネルギーを出力するエネルギービームの出力不足を補完して半導体薄膜の結晶化におけるスループットを向上させ、効率に優れた前記 TFT を実現することを可能とする半導体装置及びその製造方法、並びに半導体製造装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は前記課題を解決するため、以下に示す諸態様を備える。

【0009】本発明の第 1 の態様は、基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、少なくとも前記周辺回路領域について、当該周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化し、前記各薄膜トランジスタの動作半導体薄膜とすることを特徴とする。

【0010】この場合、前記エネルギービームの具体例としては、CWレーザ光、更には半導体励起の固体レーザ光 (DPSSレーザ光) が好ましい。

【0011】このように、時間に対して連続的にエネルギーを出力するエネルギービームにより半導体薄膜を結晶化することにより、結晶粒径を大粒径に、具体的にはエネルギービームの走査方向に沿って半導体薄膜の結晶状態が結晶粒が長い流線形状のフローパターンに形成される。この場合の結晶粒径は、現在使用されているエキシマレーザ光により結晶化された場合の $10\sim 100$ 倍の大きさとなる。

【0012】前記第 1 の態様において、前記各半導体薄膜を前記基板上に線状又は島状にパターンニングすることが好適である。

【0013】CWレーザによる結晶化技術は、SOI の分野において古くから研究が成されてきたが、ガラス基板では熱的に耐えないものと考えられていた。確かに、半導体薄膜として a-Si 膜が全面に成膜されている状態でレーザ照射すると、a-Si 膜の温度上昇と共にガラス基板の温度も上昇し、クラック等のダメージが観察される。本発明では、半導体薄膜を予め線状又は島状にパターンニングしておくことにより、ガラス基板の温度は上がらず、クラックの発生や不純物の膜中への拡散等の発生が防止される。これにより、ガラス等の基板に TFT の動作半導体薄膜を形成する際にも、CWレーザに代表される時間に対して連続的にエネルギーを出力するエネルギービームを不都合なく用いることが可能となる。

【0014】前記第 1 の態様において、前記基板上に、パターンニングされた前記各半導体薄膜に対応したエネルギービームの照射位置合わせ用のマーカーが形成されていることが好適である。

【0015】これにより、エネルギービームの照射位置ずれを抑止することができ、安定した連続ビームの供給により、いわゆるラテラル成長が可能となり、大粒径の結晶粒を有する動作半導体薄膜を確実に形成することが可能となる。

【0016】前記第 1 の態様において、前記基板上でパターンニングされた前記各半導体薄膜に複数のスリットが形成、又は前記各半導体薄膜上に複数の細線上の絶縁膜が形成されており、前記スリットのほぼ長手方向に沿ってエネルギービームを照射することが好適である。

【0017】この場合、エネルギービーム照射による結晶化の際に、前記スリット又は前記絶縁膜 (以下、便宜上単にスリットと記す) により周辺部から内側へ向かって成長する結晶粒及び粒界がブロックされ、スリット間には当該スリットと平行に成長する結晶粒のみが形成される。スリット間の領域が十分に狭ければ、この領域には単結晶が形成される。このように、スリットを大粒径の結晶粒の形成を望む領域、例えばスリット間の領域が薄膜トランジスタのチャンネル領域となるように、当該スリットを形成することにより、チャンネル領域を選択的に単結晶状態とすることができる。

【0018】前記第 1 の態様において、前記画素領域と

前記周辺回路領域とにおいて、時間に対して連続的にエネルギーを出力する前記エネルギービームの照射条件が異なるようにしたり、前記画素領域に形成された半導体薄膜をパルス状にエネルギーを出力するエネルギービームにより結晶化し、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化（更に具体的には、前記画素領域に形成された半導体薄膜を結晶化した後、前記周辺回路領域に形成された半導体薄膜を結晶化）したり、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化して動作半導体薄膜とし、前記画素領域に形成された半導体薄膜をそのまま動作半導体薄膜とすること等が好ましい。

【0019】周辺回路領域に設けられる薄膜トランジスタは、画素領域のそれに比して要求精度が高く、作製の際に最適化が必要となる。従って、確実に大粒径の結晶粒を有する動作半導体薄膜の形成が可能であり、各薄膜トランジスタの動作特性を高いレベルで均質化できる連続的にエネルギーを出力するエネルギービームを特に周辺回路領域に適用し、要求精度が緩和された画素領域には当該エネルギービームの照射時間を短縮したり、パルス状のエネルギービーム適用する等、周辺回路領域と画素領域とで工程に差異を設ける。これにより、極めて効率的に各場所の精度要求に見合った所望のシステム・オン・パネルを実現することが可能となる。

【0020】本発明の第2の態様は、基板上に、各々複数の薄膜トランジスタを有してなる画素領域及びその周辺回路領域が設けられてなる半導体装置であって、少なくとも前記周辺回路領域を構成する前記各薄膜トランジスタの動作半導体薄膜は、結晶粒が大きい流線形状のフローパターンの結晶状態に形成されていることを特徴とする。

【0021】この場合、動作半導体薄膜にはフローパターンの流線形状に沿った大結晶粒状態、好ましくは単結晶状態とすることができるため、例えば薄膜トランジスタのチャンネル領域を単結晶状態とすることが可能となり、トランジスタ特性の極めて高い高速駆動の薄膜トランジスタが実現する。

【0022】また、前記基板上に、Si及びN、又は、Si、O及びNを含む薄膜を有するバッファ層を介して前記半導体薄膜を形成し、前記半導体薄膜の水素濃度を 1×10^{11} 個/cm³以下、更に好ましくは前記薄膜の水素濃度を 1×10^{11} 個/cm³以下とする。

【0023】これにより、時間に対して連続的にエネルギーを出力するエネルギービームによる結晶化を利用して薄膜トランジスタのトランジスタ特性を高レベルで均質化するとともに、薄膜トランジスタをピンホールや剥離が発生することなく安定に形成することが可能となり、極めて信頼性の高い薄膜トランジスタが実現され

る。

【0024】本発明の第3の態様は、基板上に形成された半導体薄膜を結晶化するエネルギービームを出射する半導体製造装置であって、前記エネルギービームを時間に対して連続的に出力することが可能であり、照射対象物に前記エネルギービームを走査する機能を有し、前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする。

【0025】この場合、エネルギービームの出力不安定性を $\pm 1\%/h$ より小値、更に好ましくは前記エネルギービームの不安定性を示すノイズ（光ノイズ）を0.1rms%以下とすることによって、安定した連続ビームの供給が可能となり、当該連続ビームの走査により、多数の薄膜トランジスタの動作半導体薄膜を大粒径の結晶状態（フローパターン）に各々均質に形成することが可能となる。

【0026】本発明の第4の態様は、第3の態様と同様に半導体製造装置であって、表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段とを備え、前記各副ビームを前記半導体薄膜の各所定部位に対して相対的に走査し、前記各所定部位を結晶化することを特徴とする。

【0027】この場合、分割された各副ビームにより、各々の副ビームに対応した半導体薄膜における複数の所定部位が同時に結晶化されるため、多数の薄膜トランジスタの動作半導体薄膜を大粒径の結晶状態（フローパターン）に各々均質に形成することができることに加えて、エキシマレーザに比較して出力の低いCWレーザ等のエネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段でも、エキシマレーザに劣らない極めて高いスループットを達成し、効率良く薄膜トランジスタの結晶化を達成することが可能となる。

【0028】前記第4の態様において、前記各副ビームにより、前記各薄膜トランジスタの形成部位のみを結晶化に最適なエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過するように制御することが好適である。これにより、更に優れたスループットが得られ、極めて効率的なトランジスタの結晶化が実現する。

【0029】本発明の第5の態様は、第3の態様と同様に半導体製造装置であって、表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、前記エネルギービームの通過領域及び遮断領域を有し、前記エネルギービームを断続的に通過さ

せる断続出射手段とを備え、前記基板を前記エネルギービームに対して相対的に走査させながら、前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化することを特徴とする。

【0030】この場合、主に断続出射手段により前記エネルギービームの透過を調節することにより、半導体薄膜の所望部位を選択的に結晶化することができる。即ち、いわゆるベタ状態の半導体薄膜の所望部位を断続的に結晶化できるため、ビームの照射部位、即ち薄膜トランジスタの形成部位（リボン状又はアイランド状の形成部位）を予め設けておく必要がなく、製造工程の削減化及びスループットの向上が実現する。

【0031】前記第5の態様において、前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカを形成することが好適である。このように、薄膜トランジスタの形成部位の結晶化に付随して位置合わせマーカを形成することにより、製造工程が削減され、効率良く正確な薄膜トランジスタの形成が可能となる。

【0032】なお、前記第5、第4の態様に対応した半導体装置、及び半導体装置の製造方法も本発明に含まれる。

【0033】

【発明の実施の形態】以下、本発明を適用した具体的な諸実施形態について図面を参照しながら詳細に説明する。

【0034】（第1の実施形態）

一時間に対して連続的に出力するエネルギービームによる結晶化—

先ず、本実施形態の主要構成、即ち、時間に対して連続的にエネルギーを出力するエネルギービームを、ここでは半導体励起（LD励起）の固体レーザ（DPSSLレーザ）を利用した半導体薄膜の結晶化について開示する。

【0035】時間に対して連続したエネルギービームを半導体薄膜、例えばアモルファスシリコン膜（a-Si膜）に対して照射走査することにより、大粒径のポリシリコン結晶を形成することが可能である。このときの結晶粒径は数 μm 程度となり、非常に大きな結晶を形成できる。この結晶粒径は現在使用されているエキシマレーザの10～100倍の大きさになる。従って、高速動作を必要とされる周辺回路部分のTFTには非常に有利である。

【0036】図1及び図2に示すように、バッファーSiO₂を形成したガラス基板1上でa-Si膜2を線状（リボン状）（図1（a））、又は島状（アイランド状）（図1（b））にパターニングし、a-Si膜2の表面又はガラス基板1の裏面に対し、CWレーザ3から時間に対して連続的に出力するエネルギービームを矢印

の方向へ照射走査する。この後、図3に示すように、リボン状の半導体薄膜2（図3（a））、又はアイランド状の半導体薄膜2（図3（b））をパターニング及びエッチングして、各半導体薄膜2内にチャネル領域4を挟みソース／ドレイン5となる領域を有するTFTのアイランド領域6を形成する。

【0037】アイランド領域6の周辺部には、周囲への熱拡散により冷却速度が速いために微結晶が形成されるが、内部ではCWレーザ3の照射条件（エネルギー及び走査速度）を適切に選ぶことにより冷却速度を十分に遅くでき、数 μm 幅、数十 μm の長さの結晶粒が形成される。これにより、チャネル部の結晶粒径を大きくできる。

【0038】なお、時間に対して連続したエネルギービームによる結晶化技術は、SOI（Silicon On Insulator）の分野において古くから研究が成されてきたが、ガラス基板では熱的に耐えられないと考えられていた。確かに、a-Si膜が全面に成膜されている状態でレーザ照射すると、a-Si膜の温度上昇と共にガラス基板の温度も上昇し、クラック等のダメージが観察されるが、a-Si膜を予めリボン状、アイランド状に加工しておくことにより、ガラス基板の温度は上がらず、クラックの発生や不純物の膜中への拡散等が発生しない。

【0039】大面積にわたって、多数のTFTを形成するためには、エネルギービームの安定性が重要である。半導体LD励起の固体レーザは、そのエネルギービームの不安定性を示すノイズ（光ノイズ）が、10Hz～2MHzの領域で0.1rms%以下、エネルギービームの出力不安定性が $\pm 1\%/h$ と他のエネルギービームに比べて格段に優れている。

【0040】以下、半導体励起（LD励起）の固体レーザ（DPSSLレーザ）を利用した結晶化の具体例を示す。当該固体レーザの波長は532nm（Nd:YVO₄の第2高調波、Nd:YAGの第2高調波など）である。このエネルギービームの不安定性を示すノイズ（光ノイズ）は、10Hz～2MHzの領域で $< 0.1\text{rms}\%$ 、エネルギービームの出力の時間不安定性は $< \pm 1\%/h$ である。なお、波長はこの値に限定したものではなく、半導体薄膜が結晶化できる波長を利用すればよい。出力10Wであり、基板としては非晶質基板であるNA35ガラスを利用する。非晶質基板の材質はこれに限定したものではなく、他の無アルカリガラス、石英ガラス、シリコン単結晶、セラミックス、プラスチック等でも良い。

【0041】ガラス基板と半導体薄膜との間に、SiO₂、バッファ層を膜厚400nm程度に形成している。なお、バッファ層はこれに限定したものではなく、SiO₂膜とSiN膜の積層構造でも良い。半導体薄膜はプラズマCVDで形成したシリコン薄膜である。エネルギー照射前に450℃、2時間の熱処理により水素出しの

熱処理を行っている。ここで、水素出しは熱処理に限定したものではなく、エネルギービームを低エネルギー側から次第に増加させながら、多数回照射して行っても良い。本例では、ガラスを透過して裏面から照射しているが、これに限定したものではなく半導体薄膜側から照射しても良い。

【0042】エネルギービームはサイズが $400\mu\text{m} \times 40\mu\text{m}$ の長尺線状ビーム（又は楕円ビーム）に成型されている。ここで、エネルギービームのサイズ及び形状はこれに限定されたものではなく、結晶化に必要な最適な大きさに調整すればよい。例えば、ビーム形状としては、長方形ビーム（又は楕円ビーム）、線状ビーム（又は楕円ビーム）等が好適である。なお、長尺線状ビーム（又は楕円ビーム）、長方形ビーム（又は楕円ビーム）、線状ビーム（又は楕円ビーム）は、ビーム内で均一のエネルギー強度を有することが好ましいが、必ずしも均一である必要はなく、ビームの中心位置が最高強度を持つエネルギープロファイルでも良い。

【0043】本例では、TF Tが形成されるシリコン領域は図2のようにリボン状にa-Si膜2がパターンニングされており、隣接するリボン状のa-Si膜2間は所定距離に分離され、a-Si膜2の存在しない領域が存在する。このようにa-Si膜2の配置を構成することにより、NA35ガラス基板1に対する熱損傷を大幅に低減することが可能となる。なお、a-Si膜はリボン状に限定されたものではなく、アイランド形状としても良い。

【0044】エネルギービームの走査速度を 20cm/s としてa-Si膜の結晶化を行なった結果を図4に示す。結晶粒径 $5\mu\text{m}$ 以上の結晶が形成されていることが分かる。この結晶粒径サイズはエキシマレーザによる結晶化の粒径サイズの10倍～100倍の大きさに相当する。なお、走査方向に流れるような結晶粒が観測されているが、このような結晶パターンを本例では「フローパターン」と定義している。この名称はこれに限定したものではなく、本例で便宜的に命名したものである。フローパターンと別タイプの結晶粒径は、図5に示すような、図37のエキシマレーザ結晶化のパターンに類似したパターンが形成される場合がある。本例では、この結晶粒パターンを「エキシマパターン」と定義する。このエキシマパターンは、エネルギー密度または走査速度（あるいは両方）が不適切なことに起因して形成されるものである。

【0045】ここで、ガラス中に存在する大量の不純物が結晶化膜にどのような影響を与えるかという点について観測した結果について説明する。本例では、NA35ガラス基板1と半導体薄膜であるa-Si膜2との間には、PECVDで形成した膜厚 400nm 程度の SiO_2 膜がバッファ層として存在する。なお、バッファ層はこれに限定したものではなく、 SiO_2 単独であ

ば 200nm 以上、または SiO_2 膜と SiN 膜との積層構造を利用しても良い。

【0046】SIMS分析の結果を図6に示す。ガラス中の不純物（アルミニウム、ボロン、ナトリウム、バリウム）は結晶化した半導体薄膜内には存在しないことが確認される。なお、データではアルミニウムが観測されているが、これはゴーストであり、実際にアルミニウムが膜中に存在するわけではない。

【0047】NA35ガラスに対する熱損傷を調べた結果（断面TEMを観測した結果）を図7に示す。このように、ガラスとバッファ層との境界は明瞭であり、ガラスに対する損傷がないことが確認できる。

【0048】なお本例では、出力 10W 、波長 532nm のDPSSレーザ1台を利用して結晶化したが、図2のように半導体薄膜パターンの配列が既に分かっているときには複数のビームを形成し、各エネルギービームを半導体薄膜領域に整合させて同時に照射しても良い。このとき、複数のエネルギービーム発生装置を利用しても良いし、また1台からエネルギービームを複数本に分離しても良い。

【0049】-TF Tの作製-以下、上述の時間に対して連続的に出力するエネルギービームを用いたnチャネル薄膜トランジスタの作製例について説明する。図8～図11は、この薄膜トランジスタの製造方法を工程順に示す概略断面図である。

【0050】基板としては、上述と同様に、非晶質基板であるNA35のガラス基板21を使用する。まず、図8(a)に示すように、ガラス基板21上に膜厚 400nm 程度の SiO_2 バッファ層22と非晶質シリコン薄膜（a-Si膜）を形成したパターンニングSi薄膜を形成し、水素出しのために 450°C 、2時間の熱処理を行う。なお、水素出しは熱処理に限定したものではなく、エネルギービームを低エネルギー側から次第に増加させながら、多数回照射して行っても良い。

【0051】続いて、上述の時間に対して連続的に出力するエネルギービームを用いてa-Si膜2を結晶化し、動作半導体薄膜11を形成する。具体的には、例えば図2(a)のようにリボン状に半導体薄膜、ここではa-Si膜2を形成し、DPSSレーザを用いて、波長 532nm 、エネルギービームの不安定性 $<0.1\text{rms}\%$ ノイズ、出力不安定性 $<\pm 1\%/h$ とし、エネルギービームサイズ $400\mu\text{m} \times 40\mu\text{m}$ の線状ビームにより走査速度 20cm/s でa-Si膜2を照射走査して結晶化する。

【0052】続いて、例えば図3のように、結晶化されたリボン状の半導体薄膜にTF Tアイランド領域6を形成する。このとき、リボン状の半導体薄膜の中心軸上にTF Tのチャネル領域4が位置するように加工する。即ち、完成したTF Tにおいて流れる電流はレーザ光の走査方向と一致する。この場合、図2(a)の下部に示す

10

20

30

40

50

ように、リボン幅内に複数個（図示の例では3つ）のTFTが形成されても良い。

【0053】続いて、図8（b）に示すように、動作半導体薄膜11上に膜厚200nm程度にゲート酸化膜となるシリコン酸化膜23をPECVD法により形成する。このとき、他の手法、例えばLPCVD法又はスパッタリング法等を利用しても良い。

【0054】続いて、図8（c）に示すように、膜厚300nm程度となるようにアルミニウム膜（又はアルミニウム合金膜）24をスパッタリング法により成膜形成する。

【0055】続いて、図9（a）に示すように、アルミニウム膜24をフォトリソグラフィ及びそれに続くドライエッチングにより電極形状にパターニングし、ゲート電極24を形成する。

【0056】続いて、図9（b）に示すように、パターニングされたゲート電極24をマスクとしてシリコン酸化膜23をパターニングし、ゲート電極形状に倣ったゲート酸化膜23を形成する。

【0057】続いて、図9（c）に示すように、ゲート電極24をマスクとして動作半導体薄膜11のゲート電極24の両側部位にイオンドープする。具体的には、n型不純物、ここではリン（P）を加速エネルギー20keV、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ の条件でイオンドープし、ソース/ドレイン領域を形成する。

【0058】続いて、図10（a）に示すように、ソース/ドレイン領域のリンを活性化するためにエキシマレーザ照射を行った後、図10（b）に示すように、全面を覆うように膜厚300nm程度にSiNを堆積し、層間絶縁膜25を形成する。

【0059】続いて、図11（a）に示すように、ゲート電極24上、動作半導体薄膜11のソース/ドレイン領域上をそれぞれ露出させるコンタクトホール26を層間絶縁膜25に開口形成する。

【0060】続いて、図11（b）に示すように、各コンタクトホール26を埋め込むようにアルミニウム等の金属膜27を形成した後、図11（c）に示すように、金属膜27をパターニングし、それぞれコンタクトホール26を通じてゲート電極24、動作半導体薄膜11のソース/ドレイン領域と導通する配線27を形成する。しかる後、全面を覆う保護膜の形成等を経て、n型TFTを完成させる。

【0061】以上の各工程を経て作製されたnチャネルTFTを用いてTFT特性と結晶品質との関係について調べた。実験結果を図12に示す。チャネル領域の結晶パターンがフローパターンである方がエキシマレーザパターンに比較して移動度が大きいことが分かる。最高移動度は $470 \text{ cm}^2 / \text{Vs}$ に達する。また、移動度はフローパターン形状と強い相関があり、図13に示すように、強く流れるフローパターン形状のほうが、弱いフロ

ーパターン形状よりも移動度が優れていることが確認された。

【0062】以上説明したように、本実施形態によれば、TFTのトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能なTFTが実現できる。これにより、当該TFTを多数備えてなる高性能な周辺回路一体型TFT-LCD、システム・オン・パネル、システム・オン・ガラス等が実現可能となる。

【0063】—変形例—

以下、第1の実施形態の諸変形例について説明する。

【0064】（変形例1）図14は、変形例1におけるガラス基板1上に半導体薄膜としてリボン状のa-Si膜2が形成されており、各a-Si膜2に対応したガラス基板1端部に位置マーカ31が設けられている。なお、図示の例ではリボン状のa-Si膜を示しているが、アイランド状のa-Si膜としても良い。

【0065】a-Si膜2へのCWレーザ3によるエネルギービームの照射走査時に、位置マーカ31を目安とすることにより照射位置を自動的に探索することができ、これにより照射位置を定めた後、エネルギービームを走査することにより、結晶化を行う。

【0066】本例によれば、エネルギービームの照射位置ずれを抑止することができ、安定した連続ビームの供給により、いわゆるラテラル成長が可能となり、大粒径の結晶粒を有する動作半導体薄膜を確実に形成することが可能となる。

【0067】（変形例2）図15は本例を説明するための概略平面図である。先ず、図15（a）に示すように、a-Si膜を略平行な2本のスリット32を有するアイランド領域6を形成する。

【0068】a-Si膜の表面からCWレーザ、例えばNd:YVO₄レーザ（2 ω 、波長532nm）（または類似のレーザ）を、エネルギー6W、ビーム径400 $\mu\text{m} \times 40 \mu\text{m}$ 、走査速度20cm/sでスリット32の方向（矢印で表示）に照射走査する。表面からの照射でも問題なく結晶化できるのは勿論であるが、裏面から照射することによりサンプルホルダーも共に加熱されるため、膜面側の保温効果が得られ、より良い結晶が得られ易い。a-Si膜は熔融・結晶化するが、アイランド領域6の周辺部は周囲への熱拡散により冷却速度が速いため、微結晶が形成されるが、内部ではCWレーザの照射条件（エネルギーと走査速度）を適切に選ぶことにより冷却速度を十分に遅くでき、数 μm 幅、数十 μm の長さの結晶粒が形成される。

【0069】このとき、図15（b）に示すように、周辺部から内側に向かって成長しチャネル領域を横切ろうとする結晶粒及び粒界がスリット32によりブロック

グされ、スリット 3 2 間には当該スリット 3 2 と平行に成長する結晶粒のみが形成される。スリット 3 2 の間隔が十分に狭ければ、この領域は単結晶となる。このスリット 3 2 は粒界のブロッキングの作用を持たせつつ、スリット 3 2 間の領域が微結晶化しないようにスリット 3 2 の各々のスリット幅をできるだけ細く形成することが好ましい。また、スリット 3 2 の間隔はデバイスのチャネル幅に合わせマージンを加えた程度にしておけば良い。

【0070】そして、図 15 (c) に示すように、スリット 3 2 間の単結晶化された部分がチャネル領域 4 となるようにドライエッチングによりパターニングして T F T を完成させる。

【0071】以降は、図 15 (d) に示すように、公知の方法により、ゲート絶縁膜及びゲート電極を形成し、不純物の導入及び活性化後、ソース／ドレインを形成して T F T とすれば良い。

【0072】このような方法で結晶化を行えば、T F T のチャネル領域に必要な部分に選択的に単結晶を得ることができる。従って、このように形成された動作半導体薄膜を用いて形成した T F T は、チャネル領域には一つの結晶粒しか存在しないので、その特性が向上すると共に結晶性や結晶粒界に起因するバラツキが格段に低減される。また、ガラス基板上の各種プロセスが可能であり、低コストを維持したまま高性能且つ高付加価値のディスプレイを提供することが可能となる。

【0073】(変形例 3) 図 16 は、本例を説明するための概略平面図及び A-A' に沿った概略断面図である。まず、ガラス基板 1 上に下地 SiO₂ と a-Si 膜 2 を連続成膜した後、図 16 (a) に示すように、a-Si 膜 2 をアイランド状にパターニングする。

【0074】続いて、図 16 (b) に示すように、a-Si 膜 2 上に CVD 法等により SiO₂ 膜を 50 nm 程度の膜厚に成膜し、この SiO₂ 膜を 2 本の平行な細線パターン 3 3 に加工する。

【0075】続いて、図 16 (c) に示すように、a-Si 膜 2 の表面から CW レーザを照射走査する。照射条件は第 1 の実施形態の場合と同程度で良い。このとき、レーザ加熱により a-Si 膜 2 が熔融、再結晶化するが、上部に細線パターン 3 3 が存在するために熔融した Si が表面張力によって集まり易く、細線パターン 3 3 の下部に周囲とは独立した Si の細線 3 3 a が形成される。従って、この Si 細線によりチャネルを横切ろうとする結晶粒及び結晶粒界がブロックされる。その結果、2 本の細線パターン 3 3 の間には細線と平行に成長する結晶粒のみが形成されることになる。

【0076】その後、細線パターン 3 3 の SiO₂ 膜を HF 水溶液等により除去し、図 16 (d) に示すように、細線パターン 3 3 間の単結晶化された部分がチャネル領域 4 となるようにドライエッチングにより加工す

る。以降は、ゲート絶縁膜及びゲート電極を形成し、公知の方法により、T F T を作製すれば良い。

【0077】このような方法で結晶化を行えば、T F T のチャネル領域に必要な部分に選択的に単結晶を得ることができる。従って、このように形成された動作半導体薄膜を用いて形成した T F T は、チャネル領域には一つの結晶粒しか存在しないので、その特性が向上すると共に結晶性や結晶粒界に起因するバラツキが格段に低減される。また、ガラス基板上の各種プロセスが可能であり、低コストを維持したまま高性能且つ高付加価値のディスプレイを提供することが可能となる。

【0078】(変形例 4) 本例は、変形例 2 とほぼ同様であり、製造工程は何ら変わる所はないが、スリットの形状が異なる点で相違する。本例のスリット形状を図 17 に示す。図 15 と異なるのは、2 本のスリット 3 2 が完全に平行ではなくレーザの走査方向に向かってやや広がりを持たせてある点である。この形状では、周辺部から斜めに内側に向かう結晶粒界をより効率的にブロッキングできるうえ、図内下側から延びた結晶粒をネッキングの効果によってより選択し易い。以降のプロセスは、変形例 2 と同様である。

【0079】(変形例 5) 図 18 は、本例を説明するための概観図であり、(a) の上部がパターニング部位の平面図を、下部が A-A' に沿った断面図を示し、

(b), (c) が (a) に続く製造工程を示す。

【0080】この a-Si 膜 2 では、薄膜領域 3 4 が厚膜領域 3 5 に囲まれており、CW レーザの走査照射は薄膜領域 3 4 の長手方向に沿って行なわれる (図 18

(a) 参照)。このとき、厚膜領域 3 5 は、その厚みのために熱容量が大きく、熔融した後に冷却速度が遅くなる。従って、厚膜領域 3 5 は薄膜領域 3 4 に対して熱浴の作用をする。これにより、結晶粒界の方向は、薄膜領域 3 4 では、周辺の厚膜領域 3 5 へ向かって広がってゆく (図 18 (b) 参照)。このことは、薄膜領域 3 4 では欠陥 (結晶粒界) 密度が減少することを意味する。即ち、結晶の高品質化を実現できる。

【0081】薄膜領域 3 4 を T F T のチャネル領域とすることにより、高性能な T F T を実現することが可能となる (図 18 (c) 参照)。

【0082】(第 2 の実施形態) 次に、本発明の第 2 の実施形態について説明する。ここでは、第 1 の実施形態で用いた DPSS レーザ装置の構成について説明する。図 19 は、第 2 の実施形態の DPSS レーザ装置の全体構成を示す概観図である。

【0083】この DPSS レーザ装置は、固体半導体励起の DPSS レーザ 4 1 と、DPSS レーザ 4 1 から出射したレーザ光を所定位置に照射するための光学系 4 2 と、被照射対象となるガラス基板が固定され、水平・垂直方向に駆動自在の XY ステージ 4 3 とを備えて構成されている。

【0084】本例では、ガラス基板の材質はNA35ガラス（無アルカリガラス）であり、レーザの波長は532nmを選択している。このエネルギービームの不安定性を示すノイズ（光ノイズ）は、10Hz～2MHzの領域で0.1rms%以下、出力の不安定性は $\pm 1\%/h$ であり、エネルギービームの出力は10Wである。なお、波長はこの値に限定したものではなく、シリコン膜が結晶化できる波長を利用すればよく、ビームの出力もこの値に限定したものではなく、適当な出力を有する装置を利用すればよい。

【0085】エネルギービームはそのサイズが400 μ m×40 μ mの線状ビーム（長方形ビーム）に成形されている。なお、エネルギービームのサイズ及び形状はこれに限定されたものではなく、結晶化に必要な最適な大きさに調整すればよい。長尺方向のエネルギーバラツキは、中心を最大強度として40%以内である。

【0086】ガラス基板は、XYステージ43上に光軸に垂直に設置される。本例では、第1の実施形態と同様に、TFTが形成される半導体薄膜（a-Si膜）は、図1のようにリボン状又はアイランド状とされており、隣接するa-Si膜間は分離され、a-Si膜のない領域が存在する。これは、本例で利用しているガラス基板に対する熱損傷を低減するためのものである。

【0087】エネルギービームの走査速度は毎秒20cmである。本例では、モータ駆動のXYステージ43を利用している。なお、XYステージ43の駆動機構はこれに限定したものではなく、15cm毎秒以上で駆動できれば、他のステージを利用することも可能である。なお、エネルギービームの走査は、エネルギービームとXYステージ43とが相対的に走査されれば良く、エネルギービームそのものを走査しても良いし、ステージを走査しても良い。

【0088】また、ガラス基板上に多結晶シリコンを形成する場合には、基板サイズが現状では400mm×500mm以上であるため、走査中の位置制御が重要である。本例のXYステージ43では1m移動するあたりの位置変動は10 μ m以内である。

【0089】本実施形態のDPSSレーザ装置によれば、エネルギービームの出力不安定性を $\pm 1\%/h$ より小値、更に好ましくはエネルギービームの不安定性を示すノイズ（光ノイズ）を10Hz～2MHzの領域で0.1rms%以下とすることによって、安定した連続ビームの供給が可能となり、当該連続ビームの走査により、多数のTFTの動作半導体薄膜を大粒径の結晶状態（フローパターン）に各々均質に形成することが可能となる。

【0090】－変形例－

以下、第2の実施形態の諸変形例について説明する。

【0091】（変形例1）本例のDPSSレーザ装置の全体構成を図20に示す。ここでは、エネルギービーム

の不安定性が0.1rms%以下のノイズ、出力不安定性が $\pm 1\%/h$ 、出力が10WのDPSSレーザ41を2台利用している。2台のDPSSレーザ41から出射されたレーザ光は途中で一本に融合され、これにより出力を向上させる構成とされている。

【0092】ビームサイズは、800 μ m×40 μ mに成形されており、第2の実施形態の場合よりも大面積を照射できるようになっている。また、位置マーカーを読み取り照射する機能を有することは第1の実施形態の場合と共通である。

【0093】XYステージ43は水平置きとされており、ガラス基板が水平に設置される。また、照射走査方向は、磁気浮上タイプの移動機構を有しており、X軸方向は通常のもーター駆動方式である。エネルギービームは垂直に照射される。

【0094】本例のDPSSレーザ装置によれば、第2の実施形態の奏する諸効果に加え、複数（例示では2台）のDPSSレーザ41を設けることにより、更に安定した連続ビームの供給が可能となり、当該連続ビームの走査により、多数のTFTの動作半導体薄膜を大粒径の結晶状態（フローパターン）に各々均質に形成することが可能となる。

【0095】（変形例2）本例のDPSSレーザ装置の全体構成を図21に示す。ここでは、変形例1と同様の出力安定性及び出力等を有する2台のDPSSレーザ43を設け、それぞれ別々のエネルギービームとなって異なる場所を照射する構成とされており、各々のエネルギービームが照射位置を位置マーカーにより読み取る機能を有している。

【0096】本例のDPSSレーザ装置によれば、第2の実施形態の奏する諸効果に加え、複数（例示では2台）のDPSSレーザ41を設けることにより、更に安定した連続ビームを迅速に供給することが可能となり、当該連続ビームの走査により、多数のTFTの動作半導体薄膜を大粒径の結晶状態（フローパターン）に各々均質に形成することが可能となる。

【0097】（第3の実施形態）次に、本発明の第3の実施形態について説明する。ここでは、第2の実施形態と同様に、DPSSレーザ装置の構成について説明し、更にこれを用いた半導体薄膜の結晶化方法について述べる。本実施形態のDPSSレーザ装置は、以下に示すようにエネルギービームを分割して用いる点で第2の実施形態と異なる。

【0098】本例では、半導体励起（LD励起）の固体レーザ（DPSSレーザ）Nd:YVO₄を利用した画素部の結晶化の例を示す。なお、本例では画素部の結晶化技術について言及するが、本発明は画素部の結晶化技術に限定したものではなく、周辺回路の結晶化技術として利用することができる。また、レーザはNd:YVO₄に限定したものではなく、類似のDPSSレーザ光

(たとえばNd:YAGなど)であれば良い。波長は532nmである。更に、波長はこれに限定したものではなく、シリコンが溶融する波長であればよい。このエネルギービームの不安定性は、 $<0.1\text{rms}\%$ のノイズ、出力の時間不安定性は $<\pm 1\%/h$ 、出力10Wである。

【0099】基板としては非晶質基板であるNA35のガラス基板を利用している。非晶質基板はこれに限定したものではなく、他の無アルカリガラス、石英ガラス、単結晶基板、セラミックス、プラスチックなどでも良い。

【0100】ガラス基板と半導体薄膜の間に、 SiO_2 からなるバッファ層を400nm程度の膜厚に形成している。なお、バッファ層はこれに限定したものではなく、 SiO_2 膜と SiN 膜の積層構造としても良い。半導体薄膜はプラズマCVD法で形成した150nm程度の厚みのシリコン薄膜である。エネルギー照射前に500℃、2時間の熱処理により水素出しの熱処理を行っている。なお、水素出しは熱処理に限定したものではなく、エネルギービームを低エネルギー側から次第に増加させながら、多数回照射して行っても良い。本例では、半導体薄膜側から照射しているが、ガラスを透過して裏面から照射しても良い。

【0101】-DPSSLレーザ装置の構成-

図22は、第3の実施形態によるDPSSLレーザ装置の構成の一部を示す概観図である。このDPSSLレーザ装置は、第2の実施形態と同様の固体半導体励起のDPSSLレーザ41(不図示)と、DPSSLレーザ41から出射されたエネルギービームを複数、ここでは7つの副ビームに光学的に分割するビーム分割手段である回折格子51と、コリメータレンズ52と、分割された各ビームを集光する集光レンズ53と、被照射対象となるガラス基板が固定され、水平・垂直方向に駆動自在の第2の実施形態と同様のXYステージ43(不図示)とを備えて構成されている。

【0102】なお、本例ではビーム分割手段として回折格子51を設けたが、これに限定されることなく、例えばポリゴンミラーや可動ミラー、音響光学効果を利用したAO素子(Acoustic-Optic Device)や電気光学効果を利用したEO素子(Electro-Optic Device)を利用して

【0103】個々の副ビームは、画素領域の薄膜トランジスタを形成するに十分な大きさを有する $80\mu\text{m}\times 20\mu\text{m}$ のサイズを有しており、重心に最大強度を有する楕円型のビーム形状である。また、ビーム形状は楕円ビームに限定されたものではなく、長尺線状ビーム(または長方形ビーム)でもよい。なお、エネルギービームのサイズは本例のサイズに限定されたものではなく、画素用のTF Tが形成される大きさを有するものであればよい。

【0104】本例では、画素用TF Tが形成されるシリコン領域は、図23のようにリボン状にされており、半導体薄膜リボン54と隣の半導体薄膜リボン54とは分離されており、半導体薄膜の存在しない領域が存在する。これは本例で利用しているNA35ガラス基板に対する熱損傷を低減するためのものである。

【0105】なお、半導体薄膜はリボン状に限定されたものではなく、アイランド形状でも良い。また、画素用TF Tでは高性能なTF Tを必要としないために結晶化の際に周辺回路よりもビームエネルギー密度を減少させることができる。従って、全面にアモルファスシリコンが形成されている場合であってもガラスへの損傷を与えることなく結晶化することが可能である。

【0106】図23は、4台のDPSSLレーザ41を利用して、合計28個の副ビームを発生させた様子を示す概観図である。本例における画素対応のTF Tの結晶化技術では、エネルギービームのスキャン速度は100cm/sである。なお、スキャン速度はこの値に限定されたものではなく、画素用のTF Tとしての性能が得られる条件であれば良い。

【0107】画素領域全面を照射するために、28ビームを1セットとして平行移動し、次の28ラインを結晶化させる。このようにして、スループットを向上させることにより画素全面を結晶化させる。なお、本例では、XYステージ43を高速に移動させることにより、全面照射を行っているが、これに限定したものではなく、ステージを固定させ、28本(本発明では28本であるが、これに限定した本数ではないことは自明である)のレーザビームをセットとしてスキャンさせてもよい。

【0108】また、ビームの照射方法は図23の方法に限定されたものではなく、図24(a)のような照射方法も好適である。この場合には、複数台のレーザ(図示の例では2台)をそれぞれ複数のビーム(図示の例では3本)に分割する。各々の副ビームはそれぞれが重なることなく走査される。この場合には、走査毎の横方向の移動が少なく済む。

【0109】更に、例えば図24(b)のような照射方法も好適である。この場合には、1つのDPSSLレーザ41から1つのエネルギービームを形成していることが特徴である。各々のDPSSLレーザ41から出射されるエネルギービームは、それぞれが重なることなくスキャンされる。このような照射方法は、エネルギーの高い結晶化が必要な周辺回路の結晶化技術として有利である。なお、当該技術が画素部分の結晶化技術として利用できることは言うまでもない。

【0110】図23の方法により形成した個々のビームラインにおける結晶粒を観測した結果、結晶粒径50nmのポリシリコンが形成されたことが確認された。

【0111】-TF Tの作製-

50 本実施形態のDPSSLレーザ装置により結晶化されてな

る半導体薄膜を動作半導体膜として用いて、TFTの作製した。TFTの製造方法は、第1の実施形態で説明した図8～図11と同様である。本例では、半導体薄膜を結晶化するに際して、幅 $50\mu\text{m}$ を有するリボン状に各リボン間の間隔が画素のレイアウト整合するように半導体薄膜を形成し、波長は 532nm 、出力 10W 、 $<0.1\text{rms}\%$ ノイズのエネルギービームの不安定性、 $<\pm 1\%/h$ の出力不安定性、 $80\mu\text{m}\times 20\mu\text{m}$ のサイズの楕円形ビームに成型されたエネルギービームにより、 100cm/s の走査速度で結晶化を行った。

【0112】以下、第1の実施形態の図8～図11と同様の工程を経て作製されたTFTについて、移動度を測定したところ、約 $20\text{cm}^2/\text{Vs}$ を示した。この値は画素用のトランジスタとしては十分実用に耐える性能を有している。

【0113】-変形例-

以下、第3の実施形態の変形例について説明する。ここでは、図25に示すように、半導体薄膜のTFTを形成する領域のみを選択的に結晶化することにより効率的に結晶化する方法を開示する。図26は、本例で用いるDPSSレーザ装置の照明系を示す概観図である。

【0114】図26(a)では、副ビームを所定方向に反射させる固定ミラー61と、固定ミラー61からの反射光を更に所定方向に反射させ、照射領域を照射する移動可能な稼動ミラー62とを備えて照明系Aが構成されており、各照明系Aが分割された副ビームごとに設けられている。

【0115】図26(b)では、副ビームを所望方向に反射させる回動可能な固定ミラー63と、コリメータレンズ64と、固定ミラー63からの反射光をコリメータレンズ64を介して集光し、照射領域を照射する集光レンズ65とを備えて照明系Bが構成されており、各照明系Bが分割された副ビームごとに設けられている。

【0116】この場合、XYステージ43を移動させると同時に、図26(a)、(b)に示した光学系を分割した各副ビームに装備させる。これらの光学系は個々のTFTが形成される領域のみをスキャンする設計になっている。即ち、副ビームの移動距離は高々 $100\mu\text{m}$ に満たない。

【0117】XYステージ43の高速移動とともに、各画素位置でこれらのミラー光学系を繰り返しオンさせることにより画素部分を結晶化させる。これによりスループットの向上を図る。

【0118】本例では、全面にアモルファスシリコンが形成されている場合、あるいはリボン形状、あるいは島形状、いずれにおいてもレーザ照射する部分は画素部分のレイアウトと整合が保たれていることが必要であることは言うまでもない。

【0119】(第4の実施形態)次に、本発明の第4の実施形態について説明する。ここでは、第2の実施形態

と同様に、DPSSレーザ装置の構成について説明し、更にこれを用いた半導体薄膜の結晶化方法について述べる。本実施形態のDPSSレーザ装置は、以下に示すように任意の部位へ選択的にレーザ照射できる点で第2の実施形態と異なる。

【0120】本実施形態では、a-Si膜を予めアイランド状に加工するのではなく、a-Si膜はベタ状態のままビーム径をアイランドの幅程度($\sim 100\mu\text{m}$ 以下)に絞り、XYステージを移動させながらエネルギービームの照射を断続的に行う。これにより、結晶化領域(熔融領域)は第1の実施形態におけるアイランドと同等部分になる。従って、ガラス基板へのダメージや膜剥がれの問題を回避することができる。

【0121】また、LCDに用いる場合、周辺回路領域は集積度が高く、より結晶性の良い高移動度のTFTが要求されるのに対し、画素領域はTFTに必要な領域が飛び飛びに存在し、移動度もあまり要求されない。占有面積は周辺回路領域よりも画素領域の方が遙かに広いので、画素領域では、XYステージを高速($\sim \text{数m/s}$)でスキャンさせて、必要部位のみを飛び飛びに結晶化することにより、スループットの大幅な向上が可能である。

【0122】-DPSSレーザ装置の構成-

図27は、第4の実施形態によるDPSSレーザ装置の主要構成を示す概観図である。このDPSSレーザ装置は、第2の実施形態と同様の固体半導体励起のDPSSレーザ41と、コリメータ機能・集光機能等を有する光学系71と、エネルギービームがガラス基板上的のa-Si膜70に到達するまでの光路上に設けられ、エネルギービームの通過(オン)領域72a及び遮断(オフ)領域72bを有し、矢印の方向へ回動させることによりエネルギービームを断続的に通過させる断続出射手段であるチョッパー72と、オン領域72aを通過したエネルギービームをガラス基板の方向へ反射させるミラー73と、水平・垂直方向に駆動自在の第2の実施形態と同様のXYステージ43(不図示)とを備えて構成されている。このDPSSレーザ装置を用いて、CWレーザ光、例えばNd:YAGレーザ光(2ω 、波長 532nm)を、光学系72を通してビーム径 $20\mu\text{m}\times 5\mu\text{m}$ のサイズに整形する。

【0123】図28は、画素領域におけるTFTの配置例を示す概観図である。この場合、画素サイズは $150\mu\text{m}\times 50\mu\text{m}$ であり、TFT領域は $10\mu\text{m}\times 15\mu\text{m}$ のサイズの広さがあれば良い。ガラス基板上にSiO₂バッファ層(膜厚 200nm)、a-Si膜(膜厚 150nm)を連続成膜した後、チョッパー72を回動することにより、エネルギービームを $7.5\mu\text{s}/17.5\mu\text{s}$ の割合でオン/オフさせながら、走査速度(XYステージ43の移動速度)を 2m/s で照射する。このようにすると、a-Si膜のアイランド化の工

程を行うことなしに、ガラス基板へのダメージや膜剥がれを起こさずに、 $a-Si$ 膜の必要部分（例えば図 27 中の結晶化領域 74）のみを選択的に結晶化することができる。

【0124】この場合、図 28 の矢印方向、即ち長方形形状の画素の短辺（隣接する画素 TFT 間の距離が短い方向）に平行にレーザビームをスキャンすることが効果的である。これは、レーザビームの断続的照射の場合に限らず、例えば図 1 の場合のように連続的照射であっても有効である。

【0125】なお、 $a-Si$ 膜の TFT の形成部位と異なる部位にエネルギービームを断続的に照射し、所定形状に結晶化されてなる TFT の位置合わせマーカー 75 を形成し、これを指標として $a-Si$ 膜の結晶化を実行するようにすることが好適である。

【0126】上述のような方法で $a-Si$ 膜の結晶化を行えば、CW レーザを用いて大粒径の結晶が得られ、且つ、工程の増加や処理時間の増加を来すことがない。そのような大粒径の結晶を用いて形成した TFT は、その特性が向上するとともに結晶起因のバラツキが低減される。従って、低コストを維持したまま高性能且つ高付加価値の液晶表示装置を提供できる。

【0127】- 変形例 -

以下、第 4 の実施形態の諸変形例について説明する。

【0128】（変形例 1）本例では、液晶表示装置の周辺回路領域における TFT の $a-Si$ 膜の結晶化方法について説明する。周辺回路領域は、画素領域に比べて集積度も高く、結晶性に対する要求も高い。TFT の形成領域としては、例えば、 $50\mu m \times 200\mu m$ のサイズの結晶化領域を $5\mu m$ 間隔で形成し、その中に回路を作り込めばよい。この場合、CW レーザを、光学系を通してビーム径 $50\mu m \times 5\mu m$ のサイズに整形する。ガラス基板上に SiO_2 バッファ層（膜厚 $200nm$ ）、 $a-Si$ 膜（膜厚 $150nm$ ）を連続成膜した後、チョッパー 72 を回転することにより、エネルギービームを $1ms/0.025ms$ の割合でオン/オフさせながら、スキャン速度（ステージの移動速度） $20cm/s$ で照射する。スキャン速度を $20cm/s$ 程度に遅くすると、流れるような長い結晶粒（フローパターン）が得られ、高移動度の TFT を形成できる。このようにすれば、 $a-Si$ アイランド化の工程を行わなくても、ガラス基板へのダメージや膜剥がれを起こさずに、必要部分に高品質の結晶を形成することができる。

【0129】（変形例 2）本例では、エネルギービームをオン/オフする機構を有する断続照射手段として、小さい穴とミラーの組み合わせでこれを実現する。図 29 は、変形例 2 による DPSS レーザ装置の主要構成を示す概観図である。この DPSS レーザ装置は、DPSS レーザ 41 及び光学系 71 に加え、チョッパー 72 の代わりに、エネルギービームを所望の方向へ反射せる回転

自在なミラー 77 と、ミラー 77 で反射したエネルギービームのうち、所定方向へ進行するもののみを通過させる小径の開孔 76a の形成された遮蔽板 76 とが設けられている。この場合、ミラー 77 を回転させることによりエネルギービームを振り、開孔 76a を通過した時だけオンとなる。なお、エネルギービームを振る機構としては、ポリゴンミラーを用いてこれを回転させるようにしても良い。

【0130】（変形例 3）図 30 は、変形例 3 による DPSS レーザ装置の主要構成を示す概観図である。この DPSS レーザ装置は、第 3 の実施形態とほぼ同様の構成を有するが、チョッパー 72 に加工が施され、それに伴い複数のミラーが設置されている点で異なる。

【0131】ここでは、チョッパー 72 の複数のオン領域 72a のうち、所定のものに光反射機能を有する遮蔽板 81 で遮蔽し、遮蔽板 81 で反射したエネルギービームを更に所定方向へ反射させる複数のミラー 82 が設けられている。これにより、遮蔽板 81 で反射したエネルギービームは光路を変え、 $a-Si$ 膜 70 における隣接する列、更にはその隣接する列を照射するようにする。図 28 のような画素サイズが $50\mu m \times 150\mu m$ 、TFT 領域のサイズが $15\mu m \times 10\mu m$ の場合、1 スキャンの約 $2/3$ はオフ状態となるが、このオフの時間に隣接する 2 列を照射すれば、1 スキャンで 3 列照射でき、処理時間は約 $1/3$ に短縮される。

【0132】更に、XY ステージ 43 を 1 スキャンする間において、照射時間よりも非照射時間の方が数倍長いので、非照射時間にエネルギービームを次々と隣接する列に高速で移動させる。これにより無駄な時間を削減することができ、更にスループットの向上を図ることが可能となる。

【0133】以上のように、本例によれば、CW レーザのエネルギービームを $100\mu m$ 以下に絞って断続的に照射することにより、ガラス基板にダメージを与えることなく、膜剥がれを起こすことなく、大粒径の結晶を形成できる。また、1 列を照射するときの非照射時間を利用して隣接する数列を照射することにより、1 スキャンで数列分を結晶化でき、スループットも向上する。従って、結晶粒界や結晶粒径に依存する TFT 特性のバラツキを抑えることが可能となり、また、良好な素子特性が得られるようになる。その結果、駆動回路一体型の高品質な液晶表示装置の提供が可能となる。

【0134】（変形例 4）図 31 は、変形例 4 による DPSS レーザ装置の主要構成を示す概観図である。この DPSS レーザ装置は、変形例 3 とほぼ同様の構成を有するが、チョッパー 72 の代わりにポリゴンミラーが設けられている点で異なる。

【0135】この DPSS レーザ装置は、DPSS レーザ 41 及び光学系 71 に加え、チョッパー 72 の代わりにポリゴンミラー 83 と、ポリゴンミラー 83 で反

射するエネルギービームの進行方向に応じて、所定方向のエネルギービームのみを通過させる複数（ここでは3つ）の開孔84aの形成された遮蔽板84とが設けられて構成されている。

【0136】この場合、ポリゴンミラー83を回動させてエネルギービームを振り、a-Si膜70上における3列分を1スキャンで照射する。但し、1列目を照射した分、XYステージ43は移動しているため、2列目の照射位置（開孔84aの位置）はXYステージ43の移動分だけ進んだ位置に設けておく必要がある。3列目も同様に進んだ位置に照射する。

【0137】本例によれば、変形例3と同様に、ガラス基板にダメージを与えることなく、膜剥がれを起こすことなく、大粒径の結晶を形成できるとともに、1列を照射するときの非照射時間を利用して隣接する数列を照射することにより、1スキャンで数列分を結晶化でき、スループットの向上を図ることが可能となる。

【0138】なお、この第4の実施形態及びその変形例1～4においては、図27～図31に示すように、スキャンしながらX-Yステージを太矢印方向へ移動させ、一列又は任意の複数列のスキャンを終えたら細矢印方向へ移動させ、次のスキャンを行う。

【0139】（第5の実施形態）次に、本発明の第5の実施形態について説明する。本実施形態では、TFTの作製時において、第1～第4の実施形態のようにCWレーザを用いてa-Si膜の結晶化を行う際に、エネルギービームによるバッファ層の温度上昇に起因して発生するa-Si膜の膜剥がれを防止することに主眼をおいた、好適なバッファ層を備えたTFTを開示する。

【0140】基板を構成するガラスからのナトリウム等の不純物による汚染を防止するため、ガラス基板とa-Si膜との間に形成されるバッファ層の材料としてSiN又はSiONを用いることが効果的であることは知られている。この成膜したままのバッファ層における水素濃度分布を調べた結果を図32に示す。

【0141】SiN又はSiONを含むバッファ層を介して積層されたa-Si膜を、時間に対して連続的にエネルギーを発生させるエネルギービーム、ここではCWレーザで結晶化すると、バッファ層がエネルギービームを吸収して（または、a-Si膜の溶融時の熱伝導により）、温度が上昇する。バッファ層中の水素濃度が高いときには、水素のイフュージョンが生じてa-Si膜にピンホールが発生して膜剥がれが生じる。また、a-Si膜中の水素の濃度が高い時にもイフュージョンが生じ、ピンホールが発生する。両者の水素濃度が高いときには、図33に示すように、ピンホールを起因としてa-Si膜の剥がれが生じる。このような現象は、従来のエキシマレーザ結晶化に比較して、連続したエネルギービームを利用した場合に特に顕著に生じる。

【0142】そこで、本実施形態では、図34に示すよ

うに、ガラス基板91上に膜厚400nm程度のSiN又はSiONからなる薄膜92aとSiO₂膜92bとを積層してなるバッファ層92を介してa-Si膜93を形成し、CWレーザを用いてa-Si膜93の結晶化を行うに際して、a-Si膜93及び前記薄膜の水素濃度をそれぞれ調節する。具体的には、a-Si膜93の水素濃度を 1×10^{18} 個/cm³以下、且つ薄膜92aの水素濃度を 1×10^{11} 個/cm³以下とする。ここで、SiO₂膜92bを形成することにより、a-Si膜93とバッファ層92との間の界面準位を低減できる。また、CWレーザのエネルギービーム照射時には、基板裏面よりも基板表面から照射した方がSiNに直接レーザ光が照射されないために好ましい。

【0143】[a-Si膜中の適正水素濃度] ここで、a-Si膜中の適正水素濃度を調べた実験結果について説明する。まず、図34のようにガラス基板91上にP-CVD法によりSiNからなる薄膜92aを膜厚50nm程度に、SiO₂膜92bを膜厚200nm程度に順次成膜してバッファ層92を形成し、a-Si膜93を膜厚150nm程度に形成する。なお、上記の各膜厚はこれらの値に限定されたものではない。

【0144】続いて、窒素雰囲気中で500℃、2時間の熱処理によりa-Si膜93の脱水素化処理を行った後、半導体励起（LD励起）の固体レーザ（DPSSLレーザ）Nd:YVO₄により、出力6.5W、走査速度20cm/s、波長532nm（Nd:YVO₄の第2高調波）の条件で結晶化を実行する。この走査はXYステージを移動させることにより行う。

【0145】図35は、500℃、2時間の熱処理後のガラス基板/SiN/SiO₂/a-Si構造のSIMS分析の結果を示す特性図である。このSIMS分析では、500℃、2時間の熱処理によってa-Si膜93中の水素濃度は 1×10^{18} 個/cm³以下となることが確認された。

【0146】図36は、結晶化後の半導体薄膜を示す顕微鏡写真である。a-Si膜93中の水素濃度を 1×10^{18} 個/cm³以下とすることでピンホールや剥がれの無い良好な結晶が得られていることが判る。

【0147】[SiN薄膜中の適正水素濃度] 次に、バッファ層を構成するSiN薄膜中の適正水素濃度を調べた実験結果について説明する。まず、図34のようにガラス基板91上にP-CVD法によりSiNからなる薄膜92aを膜厚50nm程度に、SiO₂膜92bを膜厚200nm程度に順次成膜してバッファ層92を形成し、a-Si膜93を膜厚150nm程度に形成する。なお、上記の各膜厚はこれらの値に限定されたものではない。

【0148】続いて、窒素雰囲気中で450℃、2時間の熱処理によりa-Si膜93の脱水素化処理を行う。SIMS分析を行ったところ、SiN薄膜92a中の水

10

20

30

40

50

素濃度は 1×10^{11} 個 / cm^2 以下になることが SIMS 分析により確認された。更に、a-Si 膜 93 中の水素濃度は 1×10^{18} 個 / cm^3 以下になっている。

【0149】上記の a-Si 膜 93 に対して、半導体励起 (LD 励起) の固体レーザー (DPSS レーザ) Nd:YVO₄ により、出力 6.5 W、走査速度 20 cm/s、波長 532 nm (Nd:YVO₄ の第 2 高調波) の条件で結晶化を実行する。この走査は XY ステージを移動させることにより行う。その結果、図 36 に示すように良好な結晶が得られた。

【0150】以上説明したように、本実施形態によれば、時間に対して連続的にエネルギーを出力するエネルギービームによる結晶化を利用して TFT のトランジスタ特性を高レベルで均質化するとともに、TFT をピンホールや剥離が発生することなく安定に形成することが可能となり、極めて信頼性の高い TFT を実現する。

【0151】ここまで述べた諸態様において、半導体膜として a-Si 膜の例を挙げたが、初期膜は、LPCVD 法で成膜した p-Si 膜、固相成長の p-Si 膜、金属誘起固相成長の p-Si 膜等、いずれの場合にも適用可能である。

【0152】以下、本発明の諸態様を付記としてまとめて記載する。

【0153】(付記 1) 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、少なくとも前記周辺回路領域について、当該周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化し、前記各薄膜トランジスタの動作半導体薄膜とする工程を含むことを特徴とする半導体装置の製造方法。

【0154】(付記 2) 前記各半導体薄膜が前記基板上に線状又は島状にパターンニングされてなるものであることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0155】(付記 3) 前記基板上に、パターンニングされた前記各半導体薄膜に対応したエネルギービームの照射位置合わせ用のマーカーが形成されていることを特徴とする付記 2 に記載の半導体装置の製造方法。

【0156】(付記 4) 前記基板上でパターンニングされた前記各半導体薄膜に複数のスリットが形成されており、前記スリットのほぼ長手方向に沿ってエネルギービームを照射することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0157】(付記 5) 前記各半導体薄膜で隣接する前記スリットは、両者の間隔が徐々に変化する非接触状態に形成されていることを特徴とする付記 4 に記載の半導体装置の製造方法。

【0158】(付記 6) 前記各半導体薄膜に 2 本の前記スリットが形成されており、エネルギービームの照射

により形成される前記スリット間における結晶化領域を前記薄膜トランジスタのチャネル領域とすることを特徴とする付記 4 に記載の半導体装置の製造方法。

【0159】(付記 7) 前記基板上でパターンニングされた前記各半導体薄膜上に複数の細線状の絶縁膜が形成されており、前記絶縁膜のほぼ長手方向に沿ってエネルギービームを照射することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0160】(付記 8) 前記各半導体薄膜上で隣接する前記絶縁膜は、両者の間隔が徐々に変化する非接触状態に形成されていることを特徴とする付記 7 に記載の半導体装置の製造方法。

【0161】(付記 9) 前記各半導体薄膜上に 2 本の前記絶縁膜が形成されており、エネルギービームの照射により形成される前記絶縁膜間における結晶化領域を前記薄膜トランジスタのチャネル領域とすることを特徴とする付記 7 に記載の半導体装置の製造方法。

【0162】(付記 10) 前記基板上でパターンニングされた前記各半導体薄膜は、膜厚の異なる部分を有することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0163】(付記 11) 前記各半導体薄膜の膜厚の薄い部分は、膜厚の厚い領域により囲まれており、当該膜厚の薄い部分の長手方向に沿ってエネルギービームを走査することを特徴とする付記 10 に記載の半導体装置の製造方法。

【0164】(付記 12) 前記各半導体薄膜の膜厚の薄い部分に合わせてチャネル領域を形成することを特徴とする付記 10 に記載の半導体装置の製造方法。

【0165】(付記 13) 前記画素領域と前記周辺回路領域とにおいて、時間に対して連続的にエネルギーを出力する前記エネルギービームの照射条件が異なることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0166】(付記 14) 前記画素領域に形成された半導体薄膜をパルス状にエネルギーを出力するエネルギービームにより結晶化し、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0167】(付記 15) 前記画素領域に形成された半導体薄膜を結晶化した後、前記周辺回路領域に形成された半導体薄膜を結晶化することを特徴とする付記 14 に記載の半導体装置の製造方法。

【0168】(付記 16) 前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化して動作半導体薄膜とし、前記画素領域に形成された半導体薄膜をそのまま動作半導体薄膜とすることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0169】(付記 17) 前記周辺回路領域に形成さ

れた半導体薄膜を結晶化する際に、時間に対して連続的にエネルギーを出力する前記エネルギービームを利用して前記半導体薄膜の水素出しを行なうことを特徴とする付記 16 に記載の半導体装置の製造方法。

【0170】（付記 18） 前記画素領域と前記周辺回路領域とにおいて、前記半導体薄膜の厚みが異なることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0171】（付記 19） 時間に対して連続的にエネルギーを出力する前記エネルギービームを、前記半導体薄膜に対して走査させることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0172】（付記 20） 長方形形状をなす画素の短辺に沿って、前記エネルギービームを走査させることを特徴とする付記 19 に記載の半導体装置の製造方法。

【0173】（付記 21） 時間に対して連続的にエネルギーを出力する前記エネルギービームの走査方向が前記半導体動作膜のチャネルとなる部位の電流方向と平行であることを特徴とする付記 19 に記載の半導体装置の製造方法。

【0174】（付記 22） 時間に対して連続的にエネルギーを出力する複数本の前記エネルギービームを用い、同時に異なる位置に存する前記半導体薄膜を照射することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0175】（付記 23） 時間に対して連続的にエネルギーを出力する前記エネルギービームの走査速度が 10 cm/s 以上であることを特徴とする付記 19 に記載の半導体装置の製造方法。

【0176】（付記 24） 時間に対する連続的にエネルギーを出力する前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0177】（付記 25） 前記エネルギービームの不安定性を示すノイズ（光ノイズ）が $0.1 \text{ rms}\%$ 以下であることを特徴とする付記 24 に記載の半導体装置の製造方法。

【0178】（付記 26） 時間に対する連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0179】（付記 27） 前記 CW レーザ光が半導体 LD 励起の固体レーザ光であることを特徴とする付記 26 に記載の半導体装置の製造方法。

【0180】（付記 28） 時間に対する連続的にエネルギーを出力する前記エネルギービームにより、前記動作半導体薄膜の結晶状態を結晶粒が大きい流線形状のフローパターンに形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0181】（付記 29） 前記基板が無アルカリガラス又はプラスチックからなり、エネルギービームを前記

基板の表面又は裏面から照射することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0182】（付記 30） 前記エネルギービームを光学的に複数の副ビームに分割し、前記半導体薄膜の異なる部位に前記各副ビームを同時に照射して結晶化することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0183】（付記 31） 前記エネルギービーム又は前記各副ビームにより、前記各薄膜トランジスタの形成部位のみを結晶化に最適なエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0184】（付記 32） 少なくとも 2 種類の前記各薄膜トランジスタの形成部位において、結晶化のためのビーム走査速度、エネルギー強度、及びビーム形状のうち少なくとも 1 種が異なることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0185】（付記 33） 前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化することを特徴とする付記 1 に記載の半導体装置の製造方法。

【0186】（付記 34） 前記半導体薄膜の隣接する前記薄膜トランジスタの形成部位の照射間隔期間に、前記エネルギービームを高速で他の前記形成部位に移動させ、当該他の前記形成部位を照射することを特徴とする付記 33 に記載の半導体装置の製造方法。

【0187】（付記 35） 前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカーを形成することを特徴とする付記 33 に記載の半導体装置の製造方法。

【0188】（付記 36） 前記基板上に、Si 及び N、又は、Si、O 及び N を含む薄膜を有するバッファ層を介して前記半導体薄膜を形成して、前記半導体薄膜の水素濃度を $1 \times 10^{10} \text{ 個/cm}^3$ 以下とすることを特徴とする付記 1 に記載の半導体装置の製造方法。

【0189】（付記 37） 前記薄膜の水素濃度を $1 \times 10^{11} \text{ 個/cm}^3$ 以下とすることを特徴とする付記 36 に記載の半導体装置の製造方法。

【0190】（付記 38） 前記半導体薄膜の脱水素化を、当該半導体薄膜の形成後、又は前記半導体薄膜を形成し所定のパターンを形成した後に行うことを特徴とする付記 36 に記載の半導体装置の製造方法。

【0191】（付記 39） 半導体装置であって、前記半導体装置は、基板と、前記基板上に設けられ、複数の薄膜トランジスタを有してなる画素領域と、前記基板上に設けられ、複数の薄膜トランジスタを有してなる前記画素領域の周辺回路領域とを含み、少なくとも前記周辺回路領域を構成する前記各薄膜トランジスタの動作半導

体薄膜は、結晶粒が大きい流線形状のフローパターンの結晶状態に形成されている。

【0192】(付記40) 前記フローパターンの結晶粒がチャンネル長よりも長いことを特徴とする付記39に記載の半導体装置。

【0193】(付記41) 前記各動作半導体薄膜は、前記基板上に線状又は島状にパターンニングされた各半導体薄膜にエネルギービームが照射されてなるものであることを特徴とする付記40に記載の半導体装置。

【0194】(付記42) 前記基板上に、パターンニングされた前記各動作半導体薄膜に対応して、当該動作半導体薄膜を結晶化するためのエネルギービームの照射位置合わせ用のマーカーが形成されていることを特徴とする付記41に記載の半導体装置。

【0195】(付記43) 前記画素領域と前記周辺回路領域とにおいて、前記各動作半導体薄膜の厚みが異なることを特徴とする付記39に記載の半導体装置。

【0196】(付記44) 前記基板は、無アルカリガラス、石英ガラス、セラミックス、プラスチック、及びシリコン単結晶のうちから選ばれた1種であることを特徴とする付記39に記載の半導体装置。

【0197】(付記45) 前記基板上に、Si及びN、又は、Si、O及びNを含む薄膜を有するバッファ層を介して前記半導体薄膜が形成されており、前記半導体薄膜の水素濃度が 1×10^{10} 個/cm³以下であることを特徴とする付記39に記載の半導体装置。

【0198】(付記46) 前記薄膜の水素濃度が 1×10^{11} 個/cm³以下であることを特徴とする付記45に記載の半導体装置。

【0199】(付記47) 前記バッファ層がSiO₂/SiN又はSiO₂/SiONの構造を有することを特徴とする付記45に記載の半導体装置。

【0200】(付記48) 基板上に形成された半導体薄膜を結晶化するエネルギービームを出射する半導体製造装置であって、前記半導体製造装置は、前記エネルギービームを時間に対して連続的に出力することが可能であり、照射対象物に前記エネルギービームを相対的に走査する機能を有し、前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値である。

【0201】(付記49) 長方形形状をなす画素の短辺に沿って、前記エネルギービームを走査させることを特徴とする付記48に記載の半導体製造装置。

【0202】(付記50) 前記エネルギービームの不安定性を示すノイズ(光ノイズ)が0.1rms%以下であることを特徴とする付記48に記載の半導体製造装置。

【0203】(付記51) 前記エネルギービームの走査速度が10cm/s以上であることを特徴とする付記48に記載の半導体製造装置。

【0204】(付記52) 断続的にエネルギーを出力

するエネルギービームを出射することが可能であることを特徴とする付記48に記載の半導体製造装置。

【0205】(付記53) 時間に対する連続的にエネルギーを出力する前記エネルギービームがCWレーザ光であることを特徴とする付記48に記載の半導体製造装置。

【0206】(付記54) 前記CWレーザ光が半導体励起の固体レーザ光であることを特徴とする付記53に記載の半導体製造装置。

【0207】(付記55) 前記基板上に設けられたエネルギービームの照射位置合わせ用のマーカーを照射前に読み取って記憶し、その位置に合わせて前記エネルギービームを照射することを特徴とする付記48に記載の半導体製造装置。

【0208】(付記56) 半導体製造装置であって、前記半導体製造装置は、表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段とを備え、前記各副ビームを前記半導体薄膜の各所定部位に対して相対的に走査し、前記各所定部位を結晶化する。

【0209】(付記57) 長方形形状をなす画素の短辺に沿って、前記エネルギービームを走査させることを特徴とする付記56に記載の半導体製造装置。

【0210】(付記58) 前記各副ビームにより、前記各薄膜トランジスタの形成部位のみを結晶化に最適なエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過することを特徴とする付記56に記載の半導体製造装置。

【0211】(付記59) 少なくとも2種類の前記各薄膜トランジスタの形成部位において、結晶化のためのビーム走査速度、エネルギー強度、及びビーム形状のうち少なくとも1種が異なるように、前記各副ビームを照射することを特徴とする付記56に記載の半導体製造装置。

【0212】(付記60) 前記各副ビームを互いに重なり合わないよう照射することを特徴とする付記56に記載の半導体製造装置。

【0213】(付記61) 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする付記56に記載の半導体製造装置。

【0214】(付記62) 前記エネルギービームの不安定性を示すノイズ(光ノイズ)が0.1rms%以下であることを特徴とする付記61に記載の半導体製造装置。

【0215】(付記63) 半導体製造装置であって、前記半導体製造装置は、表面に半導体薄膜が形成された

基板が設置され、前記基板を前記半導体薄膜の面内方向で自在に移動可能とする設置手段と、エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、前記エネルギービームの通過領域及び遮断領域を有し、前記エネルギービームを断続的に通過させる断続出射手段とを備え、前記基板を前記エネルギービームに対して相対的に走査させながら、前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化する。

【0216】(付記64) 長方形形状をなす画素の短辺に沿って、前記エネルギービームを走査させることを特徴とする付記63に記載の半導体製造装置。

【0217】(付記65) 前記基板の走査速度及び前記断続出射のタイミングを調節することにより、前記半導体薄膜の隣接する前記薄膜トランジスタの形成部位の照射間隔期間に、前記エネルギービームを高速で他の前記形成部位に移動させ、当該他の前記形成部位を照射することを特徴とする付記63に記載の半導体製造装置。

【0218】(付記66) 前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段を更に備え、前記基板を前記エネルギービームに対して相対的に走査させながら、前記半導体薄膜に前記各副ビームを断続的に照射し、複数の前記各薄膜トランジスタの形成部位を同時に結晶化することを特徴とする付記63に記載の半導体製造装置。

【0219】(付記67) 前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカを形成することを特徴とする付記63に記載の半導体製造装置。

【0220】(付記68) 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする付記63に記載の半導体製造装置。

【0221】(付記69) 前記エネルギービームの不安定性を示すノイズ(光ノイズ)が $0.1\text{rms}\%$ 以下であることを特徴とする付記68に記載の半導体製造装置。

【0222】(付記70) 基板上に複数の半導体素子が設けられてなる半導体装置の製造方法であって、前記製造方法は、前記半導体素子の半導体薄膜を、時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化する工程を含む。

【0223】(付記71) 前記各半導体薄膜が前記基板上に線状又は島状にパターンニングされてなり、当該各半導体薄膜に前記エネルギービームを照射することを特徴とする付記70に記載の半導体装置の製造方法。

【0224】

【発明の効果】本発明によれば、周辺回路一体型TFT-LCD、システム・オン・パネル、システム・オン・

ガラス等への適用に際して、TFTのトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能なTFTを実現することが可能となる。

【0225】更に本発明によれば、TFTのトランジスタ特性を高レベルで均質化し、特に周辺回路領域において移動度に優れ高速駆動が可能なTFTを実現するに際して、時間に対して連続的にエネルギーを出力するエネルギービームの出力不足を補完して半導体薄膜の結晶化におけるスループットを向上させ、効率に優れた前記TFTを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態において、半導体薄膜の結晶化の様子を示す概略平面図である。

【図2】リボン状にパターンニングされた半導体薄膜の様子を示す顕微鏡写真である。

【図3】TFTアイランドが形成された様子を示す顕微鏡写真である。

【図4】CWレーザにより結晶化された半導体薄膜の様子を示すSEM写真である。

【図5】CWレーザにより結晶化されたエキシマパターンとなった半導体薄膜の様子を示すSEM写真である。

【図6】半導体薄膜近傍のSIMS分析を示す特性図である。

【図7】半導体薄膜近傍の断面TEMを示す写真である。

【図8】第1の実施形態に係るTFTの製造方法を工程順に示す概略断面図である。

【図9】図8に引き続き、第1の実施形態に係るTFTの製造方法を工程順に示す概略断面図である。

【図10】図9に引き続き、第1の実施形態に係るTFTの製造方法を工程順に示す概略断面図である。

【図11】図10に引き続き、第1の実施形態に係るTFTの製造方法を工程順に示す概略断面図である。

【図12】半導体薄膜の結晶パターンと移動度との関係を示す特性図である。

【図13】半導体薄膜のフローパターンと移動度との関係を示す顕微鏡写真である。

【図14】第1の実施形態の変形例1において、リボン状の各半導体薄膜及び位置マーカを示す概略平面図である。

【図15】第1の実施形態の変形例2において、半導体薄膜の様子を示す概略平面図である。

【図16】第1の実施形態の変形例3において、半導体薄膜の様子を示す概観図である。

【図17】第1の実施形態の変形例4において、半導体薄膜の様子を示す概略平面図である。

【図18】第1の実施形態の変形例5において、半導体薄膜の様子を示す概観図である。

【図19】第2の実施形態におけるDPSSレーザ装置

を示す概観図である。

【図 20】第 2 の実施形態の変形例 1 における DPSS レーザ装置を示す概観図である。

【図 21】第 2 の実施形態の変形例 2 における DPSS レーザ装置を示す概観図である。

【図 22】第 3 の実施形態による DPSS レーザ装置の構成の一部を示す概観図である。

【図 23】4 台の DPSS レーザ 41 を利用して、合計 28 個の副ビームを発生させた様子を示す概観図である。

【図 24】DPSS レーザ 41 を利用した他の照射方法を示す概観図である。

【図 25】半導体薄膜の TFT を形成する領域のみを選択的に結晶化する様子を示す概観図である。

【図 26】第 3 の実施形態の変形例で用いる DPSS レーザ装置の照明系を示す概観図である。

【図 27】第 4 の実施形態による DPSS レーザ装置の主要構成を示す概観図である。

【図 28】画素領域における TFT の配置例を示す概観図である。

【図 29】第 4 の実施形態の変形例 2 による DPSS レーザ装置の主要構成を示す概観図である。

【図 30】第 4 の実施形態の変形例 3 による DPSS レーザ装置の主要構成を示す概観図である。

【図 31】第 4 の実施形態の変形例 4 による DPSS レーザ装置の主要構成を示す概観図である。

【図 32】SiN 又は SiON をバッファ層の材料として用いた場合の当該バッファ層と Si 層における水素濃度分布を調べた結果を示す特性図である。

【図 33】a-Si 膜の剥がれが生じた様子を示す顕微鏡写真である。

【図 34】ガラス基板上にバッファ層を介して a-Si 膜が形成された様子を示す概略断面図である。

【図 35】500℃、2 時間の熱処理後のガラス基板 / SiN / SiO₂ / a-Si 構造の SIMS 分析の結果を示す特性図である。

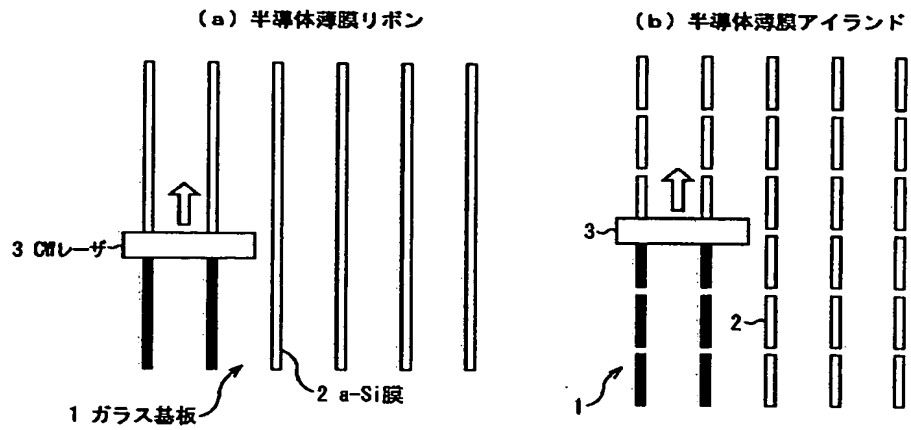
【図 36】結晶化後の半導体薄膜を示す顕微鏡写真である。

【図 37】従来のエキシマレーザを用いてシリコン膜を結晶化した様子を示す AFM 写真である。

【符号の説明】

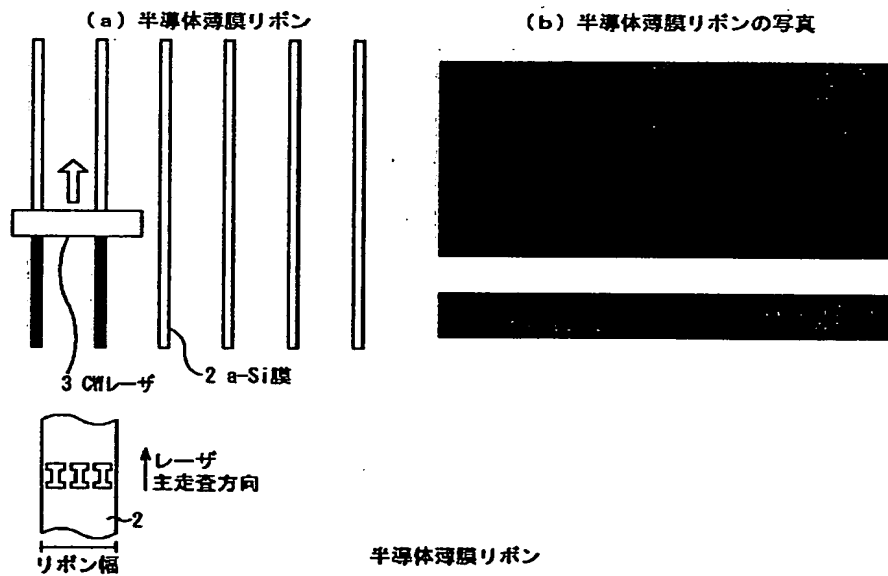
- | | |
|-----------|---------------------------|
| 1, 21, 91 | ガラス基板 |
| 2, 70, 93 | 半導体薄膜 (a-Si 膜) |
| 3 | CW レーザ |
| 4 | チャネル領域 |
| 5 | ソース / ドレイン |
| 6 | TFT アイランド |
| 10 | 11 動作半導体薄膜 |
| | 22 SiO ₂ バッファ層 |
| | 23 ゲート酸化膜 (シリコン酸化膜) |
| | 24, 32 ゲート電極 (アルミニウム膜) |
| | 25 層間絶縁膜 |
| | 26 コンタクトホール |
| | 27 配線 (金属膜) |
| | 31 位置マーカー |
| | 32 スリット |
| | 33 細線パターン |
| 20 | 41 DPSS レーザ |
| | 42 光学系 |
| | 43 XY ステージ |
| | 51 回折格子 |
| | 52 コリメータレンズ |
| | 53, 65 集光レンズ |
| | 54 半導体薄膜リボン |
| | 61, 63 固定ミラー |
| | 62 稼動ミラー |
| | 64 コリメータレンズ |
| 30 | 71 光学系 |
| | 72 チョッパー |
| | 73, 77 ミラー |
| | 74 領域 |
| | 76, 81, 84 遮蔽板 |
| | 83 ポリゴンミラー |
| | 92 バッファ層 |
| | 92a SiN 又は SiON からなる薄膜 |
| | 92b SiO ₂ 膜 |

【図1】



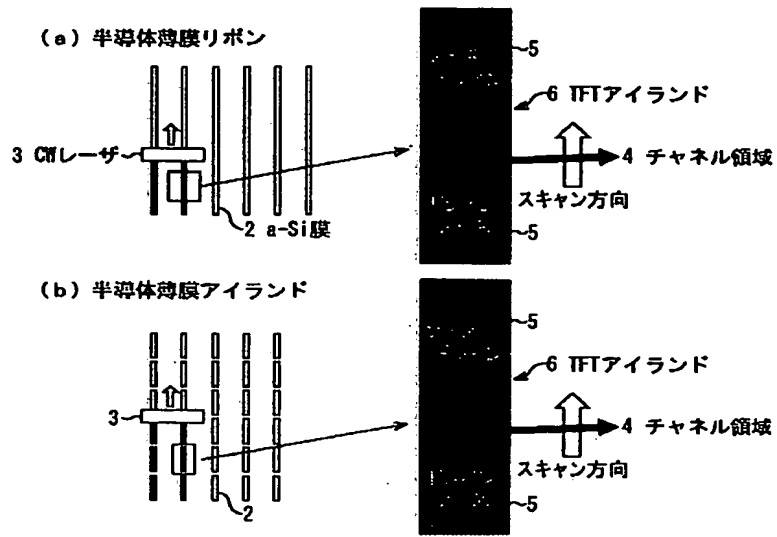
半導体薄膜リボンおよび半導体薄膜アイランド

【図2】

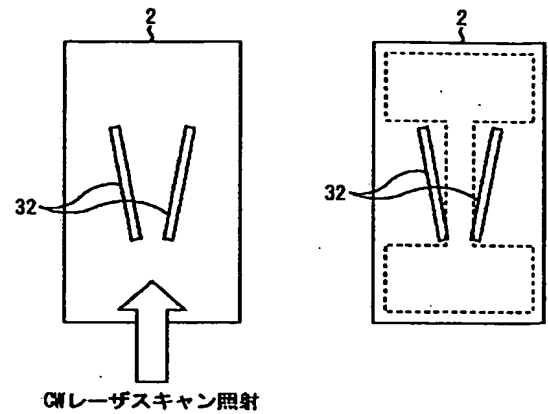


半導体薄膜リボン

【図3】

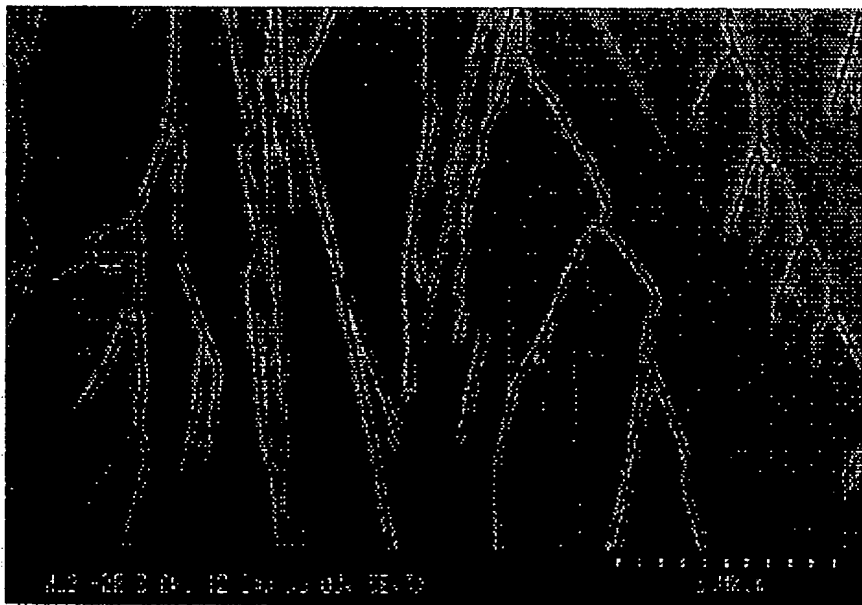


【図17】



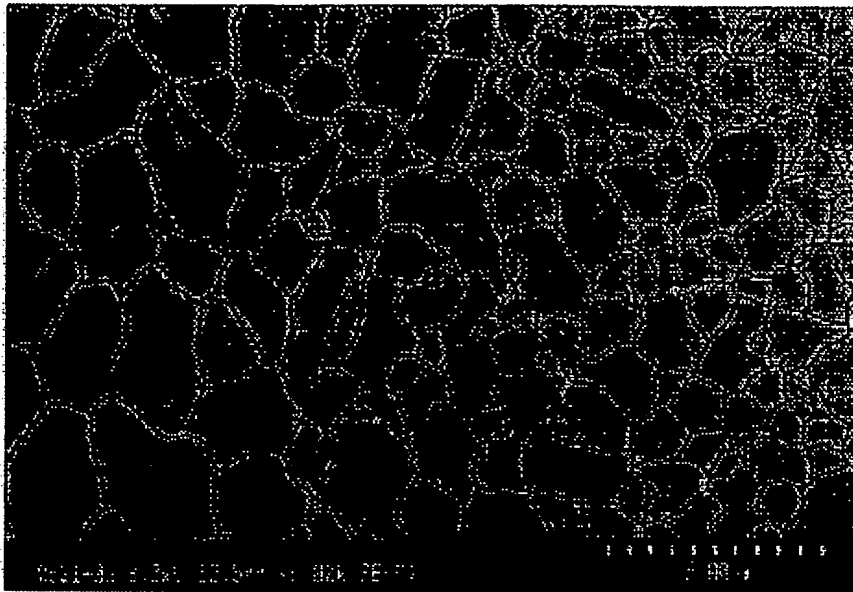
変形例4

【図4】



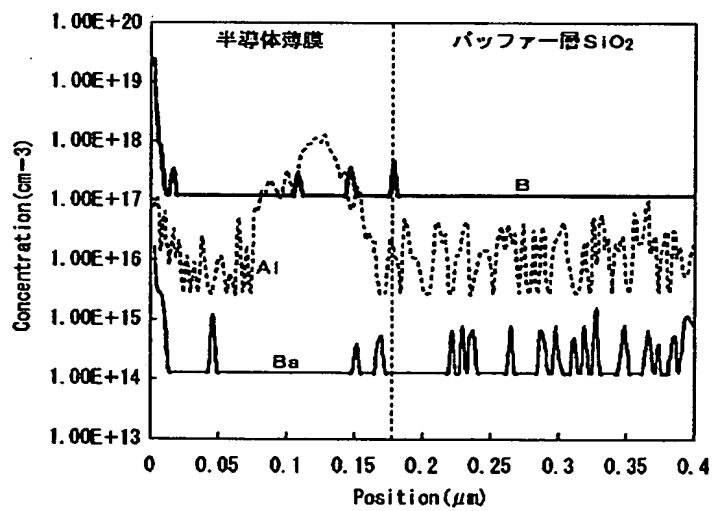
フローパターン結晶

【図5】



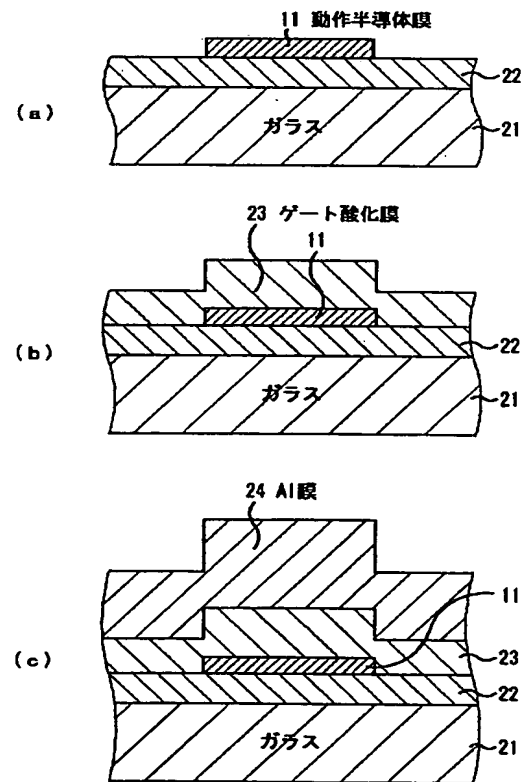
エキシマパターン結晶

【図6】



SIMS分析

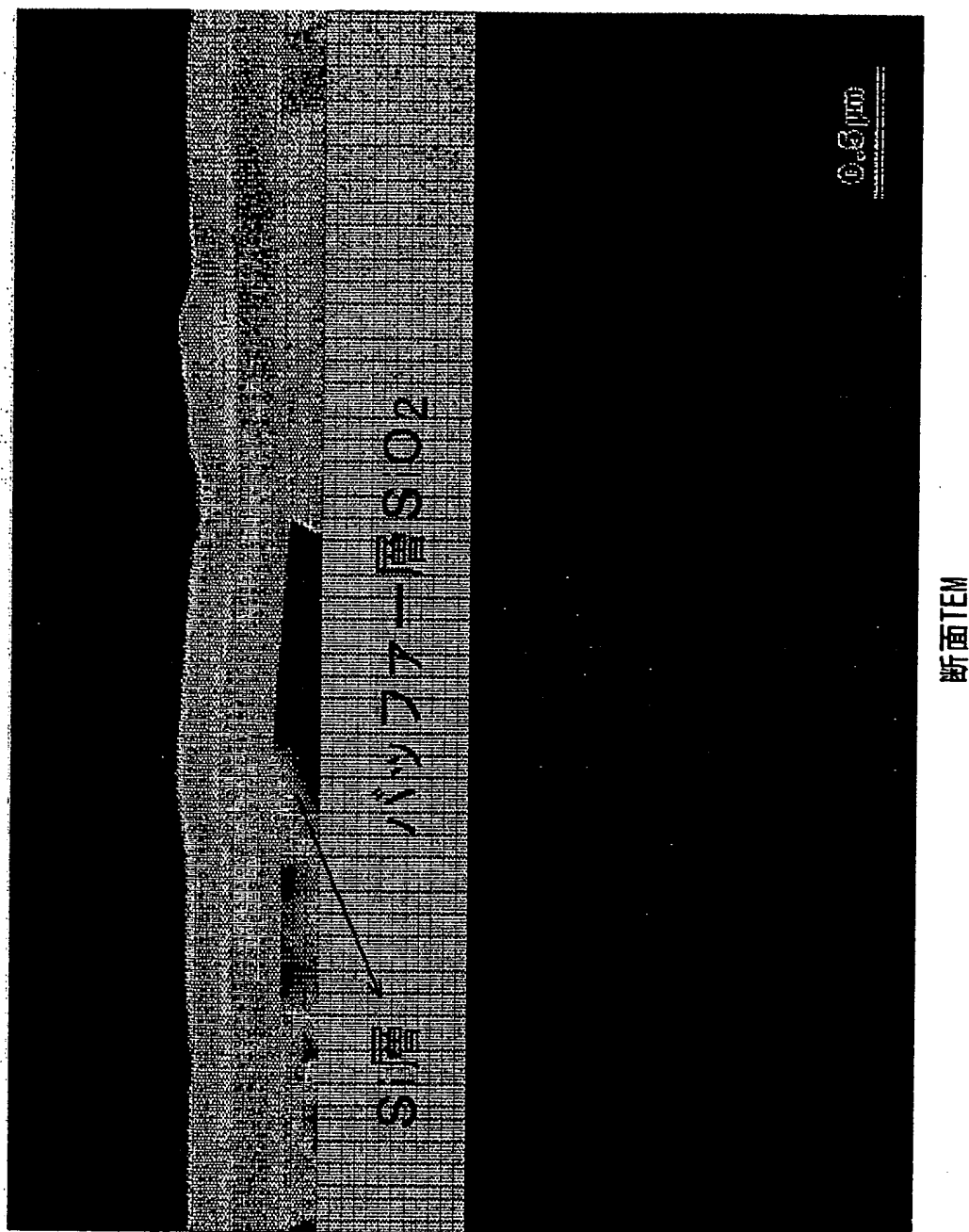
【図8】



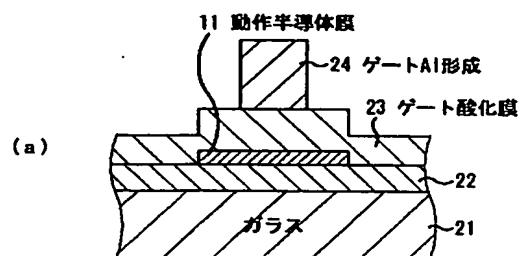
第1の実施形態に係るTFTの製造工程

BEST AVAILABLE COPY

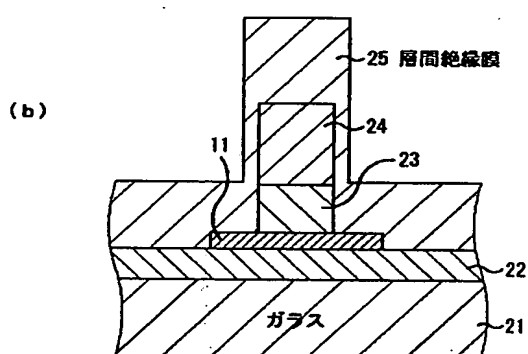
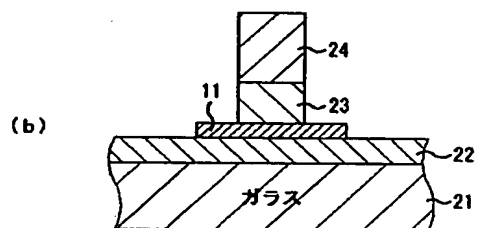
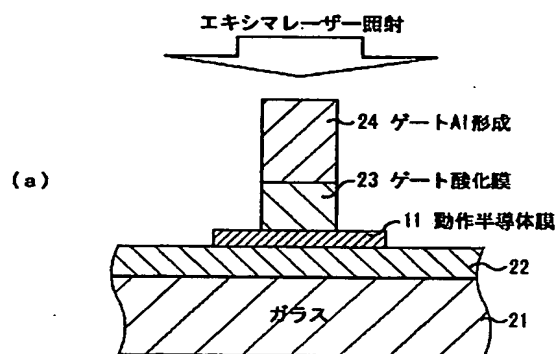
【図 7】



【图9】



【图 10】



イオンドーピング

(c)

11

23

24

22

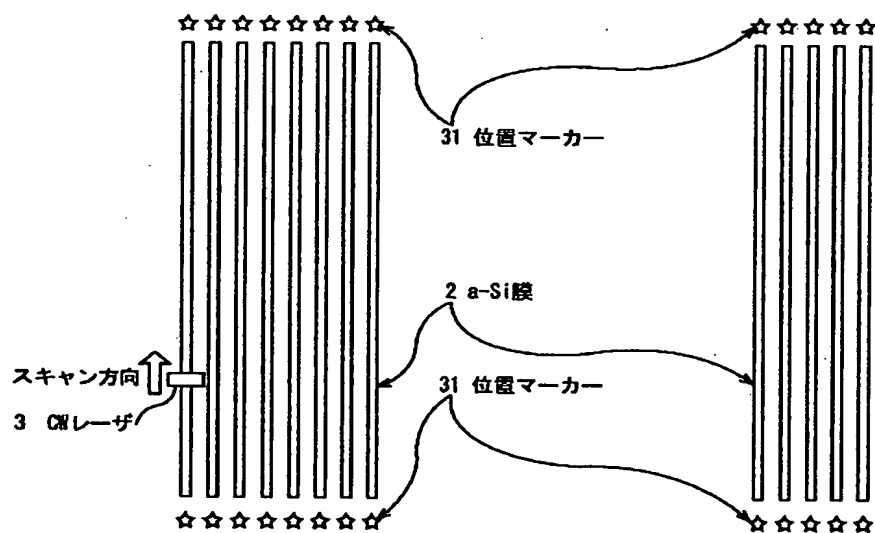
21

ガラス

第1の実施形態に係るTFTの製造工程

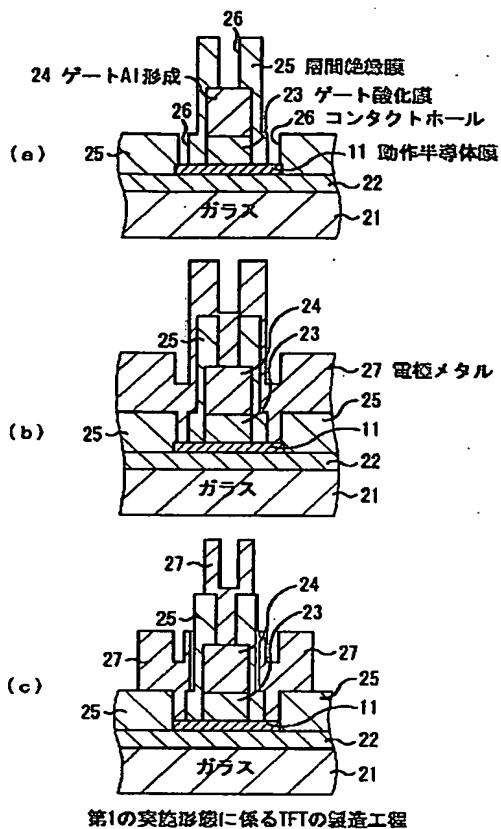
第1の実施形態に係るTFTの製造工程

【图 14】

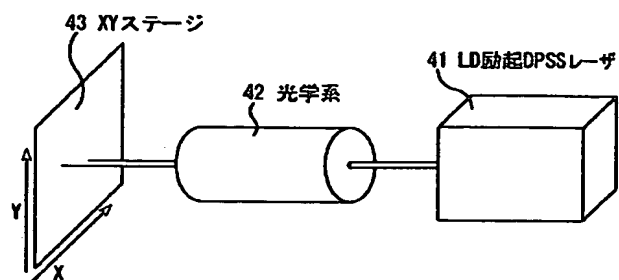


变形例 1

【図11】

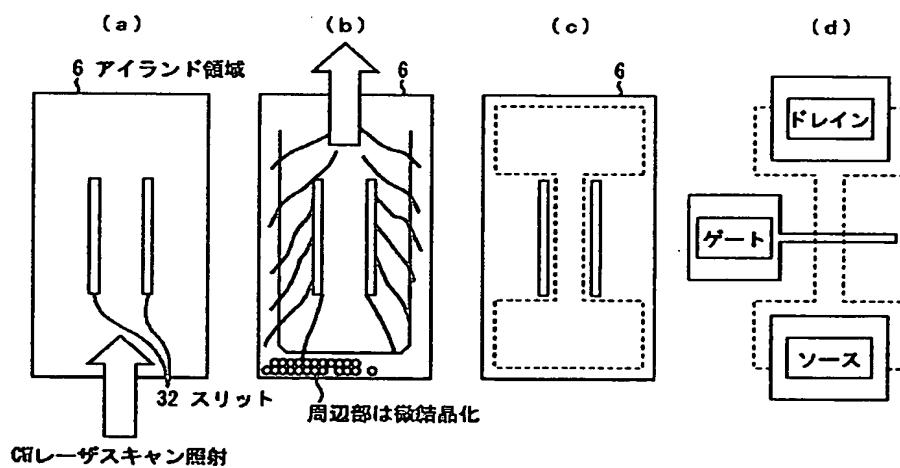


【図19】



装置概要図

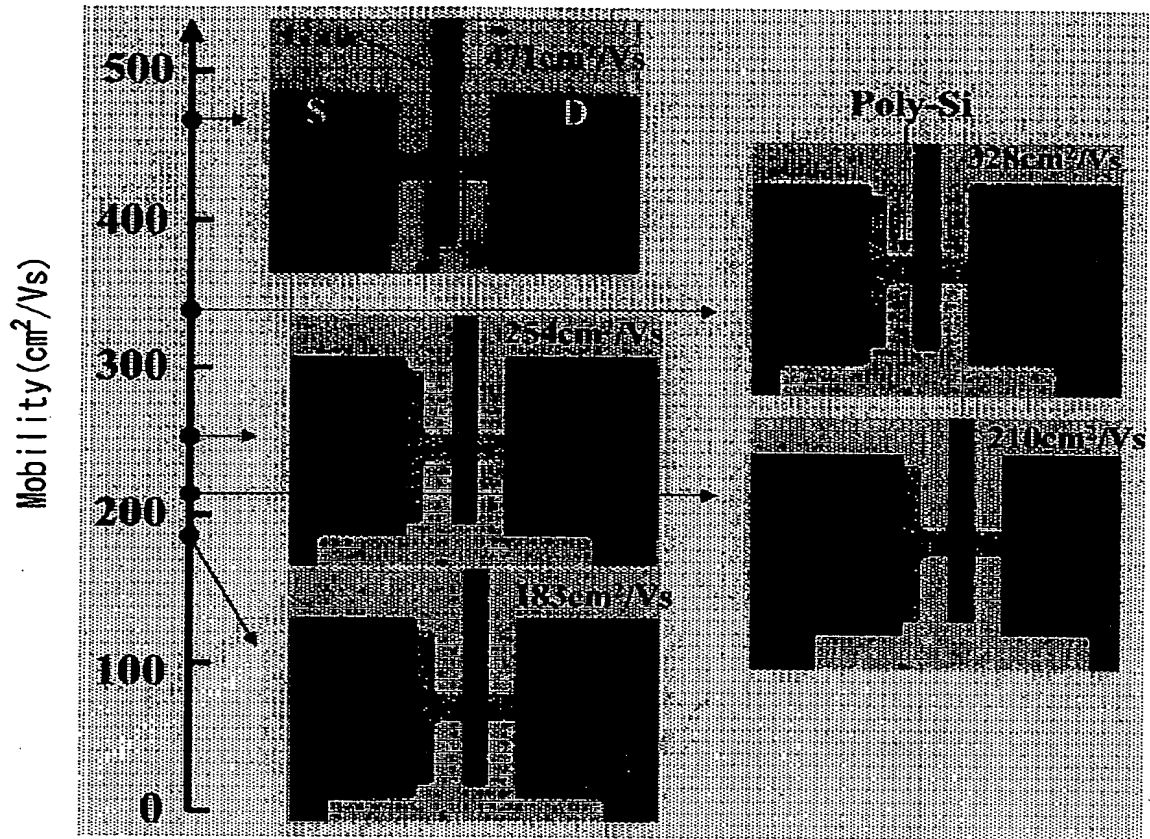
【図15】



変形例2

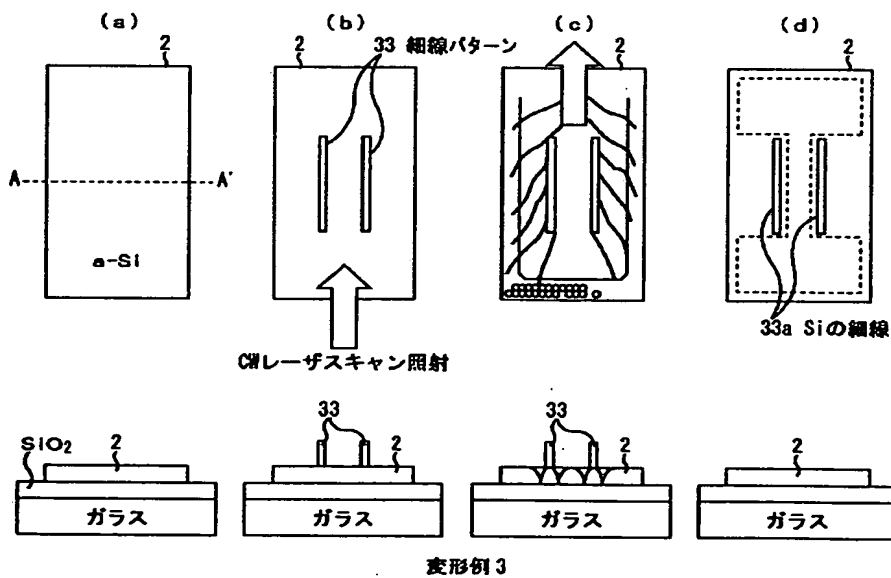
【図 12】

Mobility vs. 結晶パターン



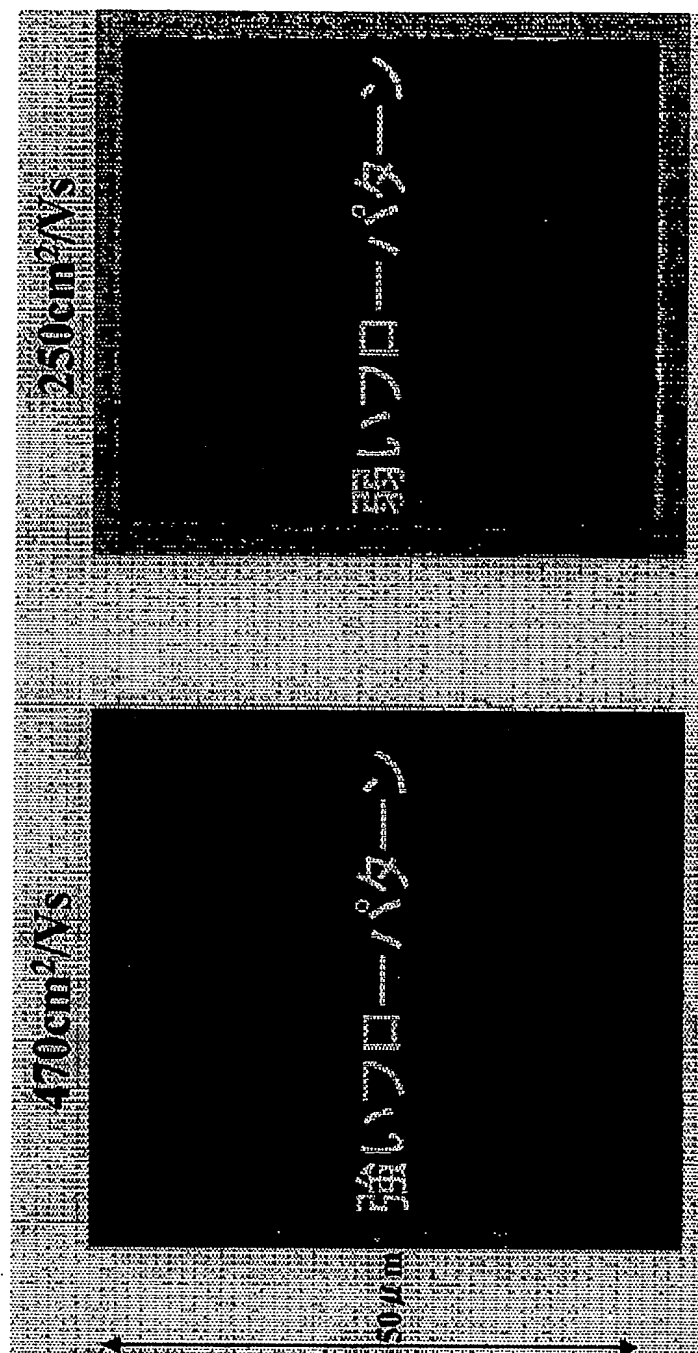
結晶パターンと移動度の関係

【図 16】



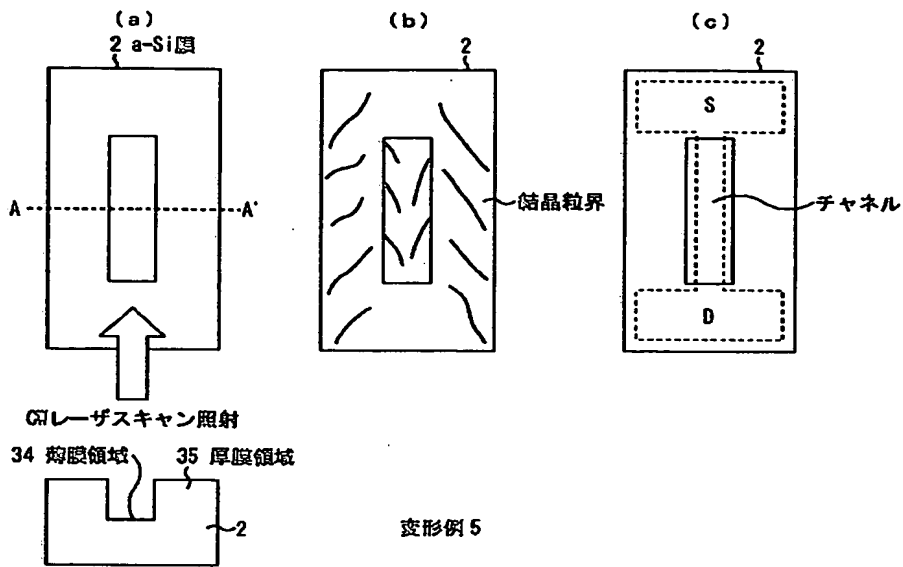
【図 13】

470cm²/Vs250cm²/Vsのフローパターン結晶の差

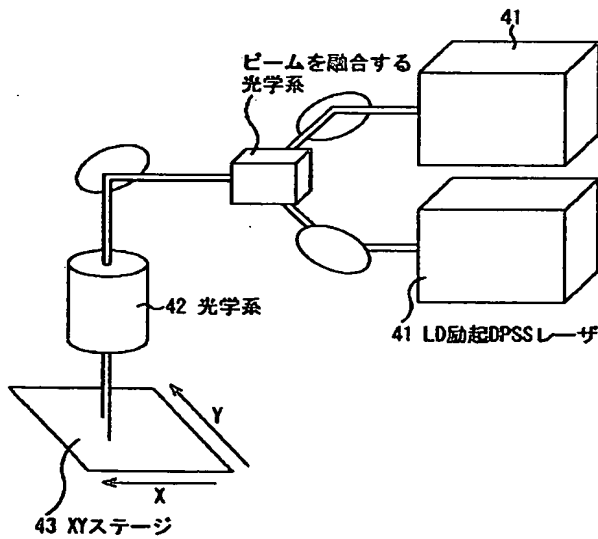


フローパターンと移動度

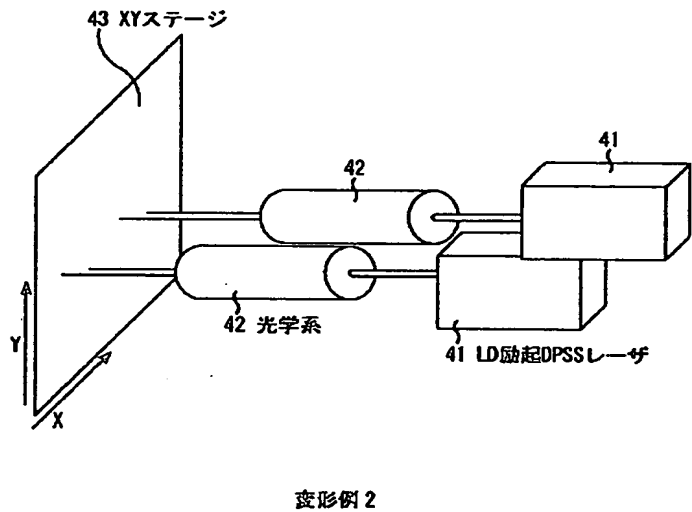
【図 18】



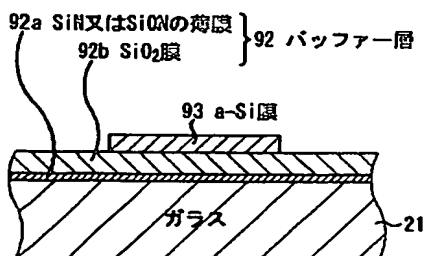
【図 20】



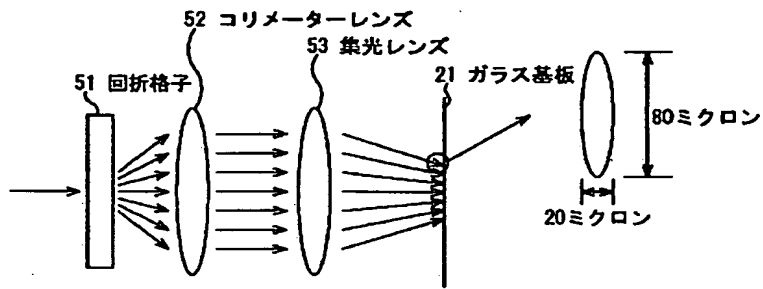
【図 21】



【図 34】

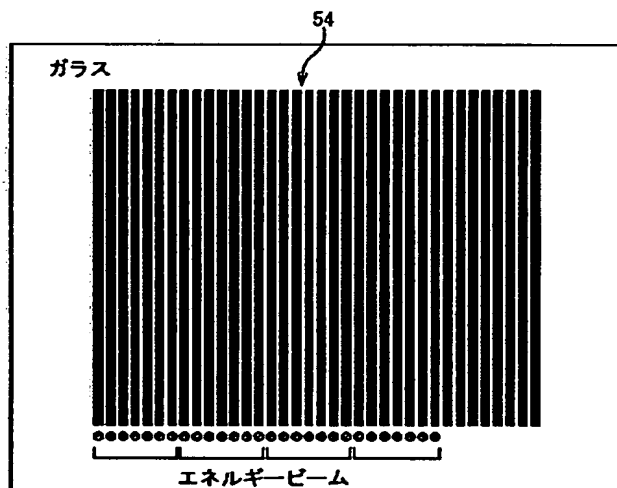


【図 22】

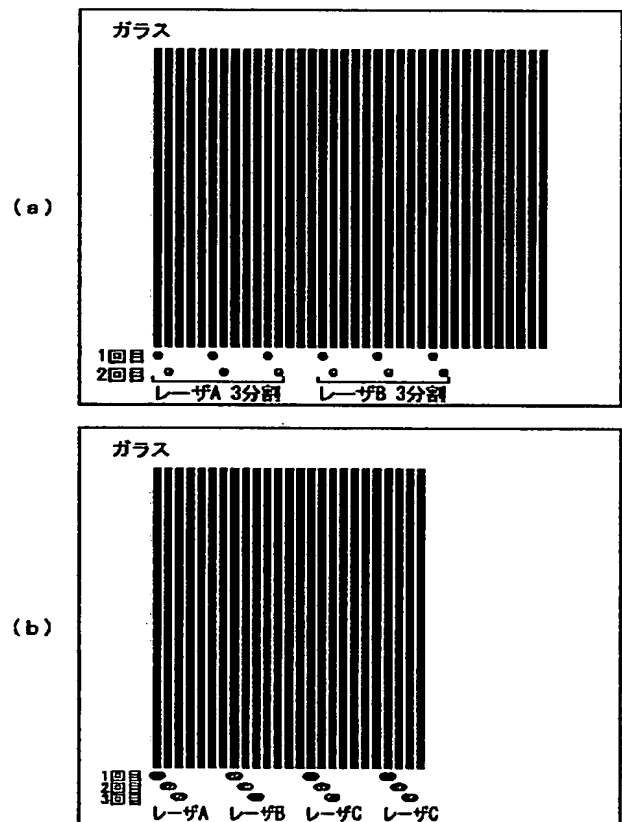


エネルギービームの分割(7つに分割した例)

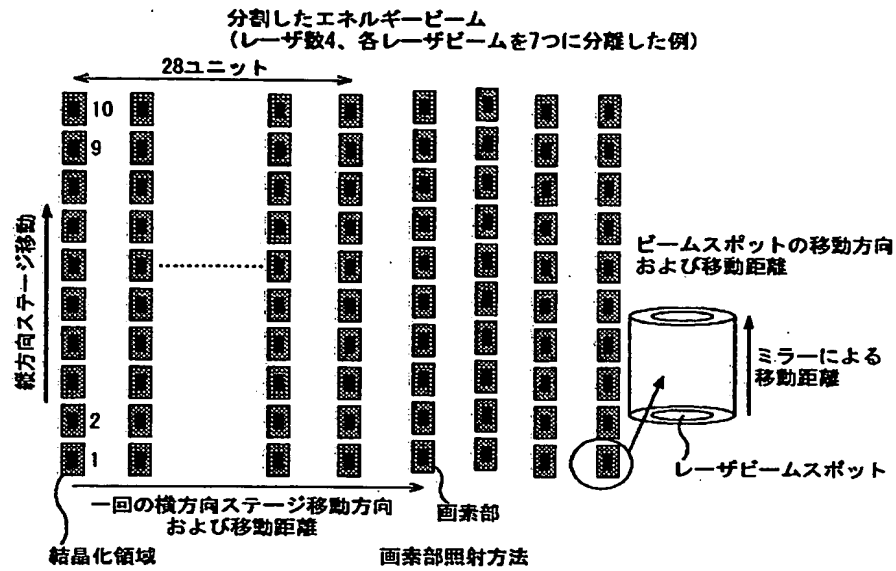
【図 23】



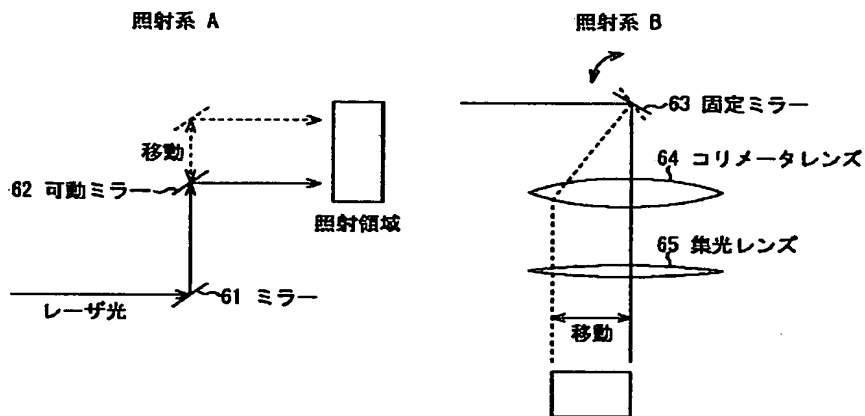
【図 24】



【図 25】

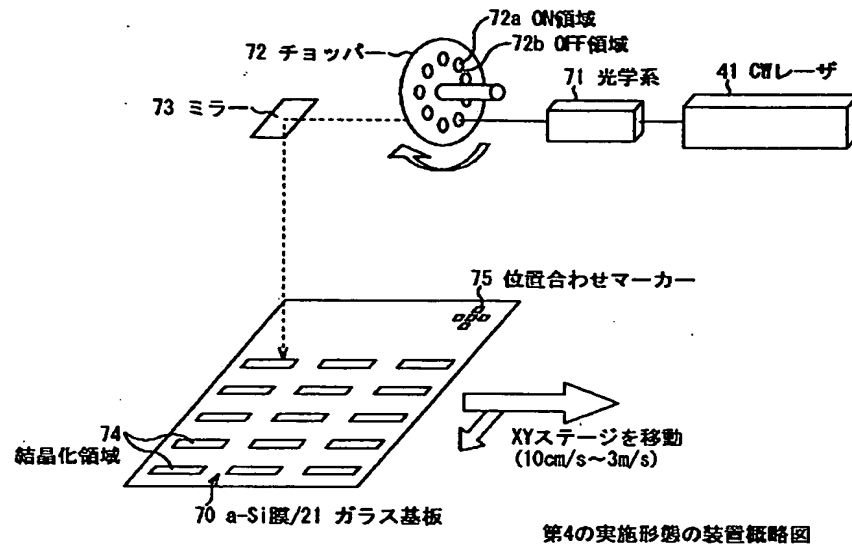


【図 26】

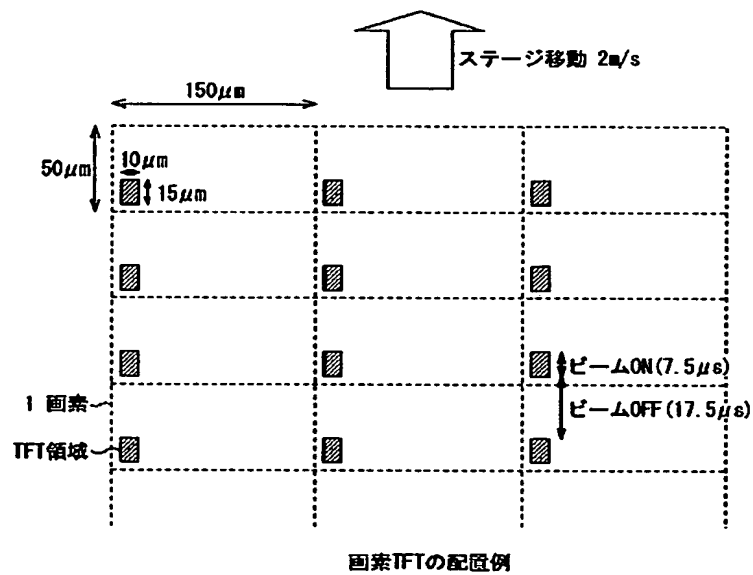


画素TFTのスキヤン方法

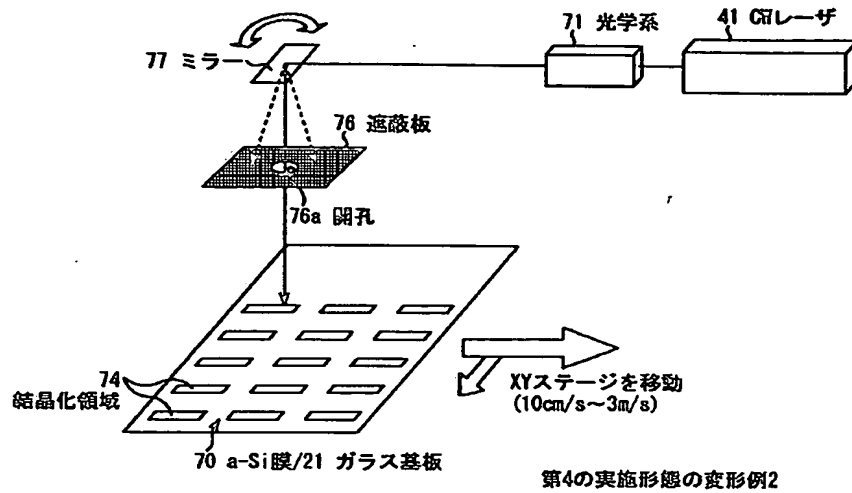
【図 27】



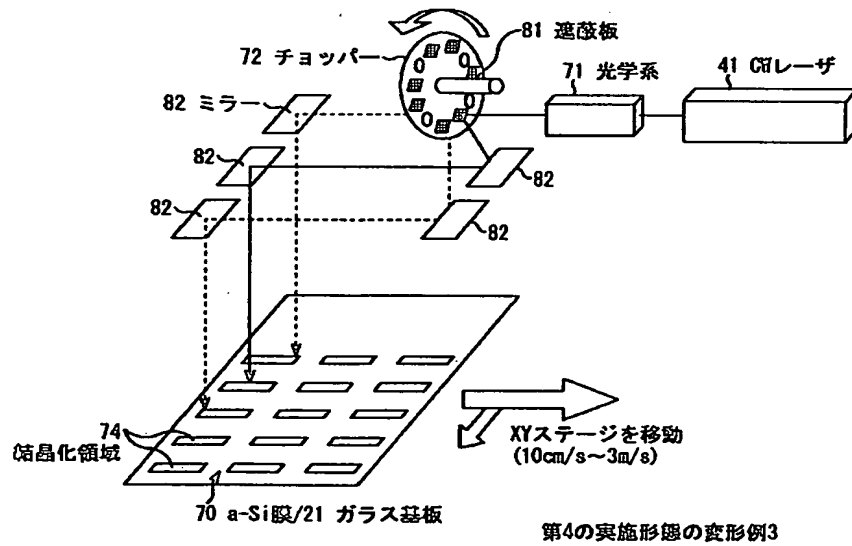
【図 28】



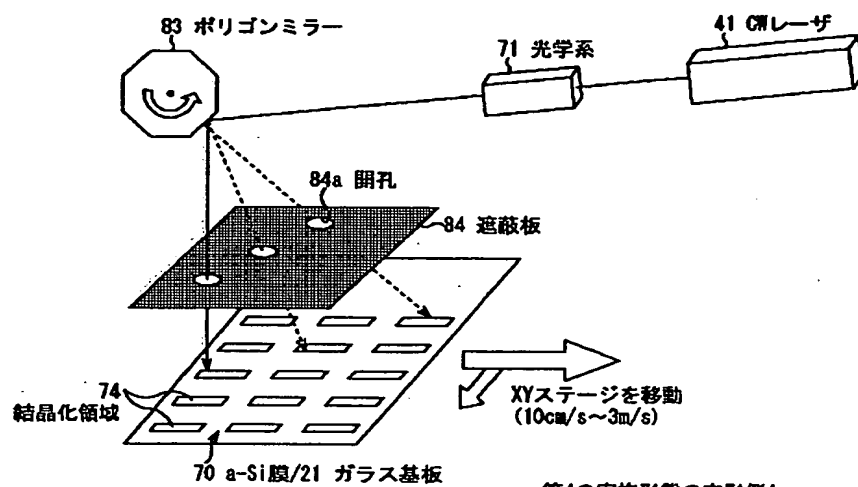
【図 29】



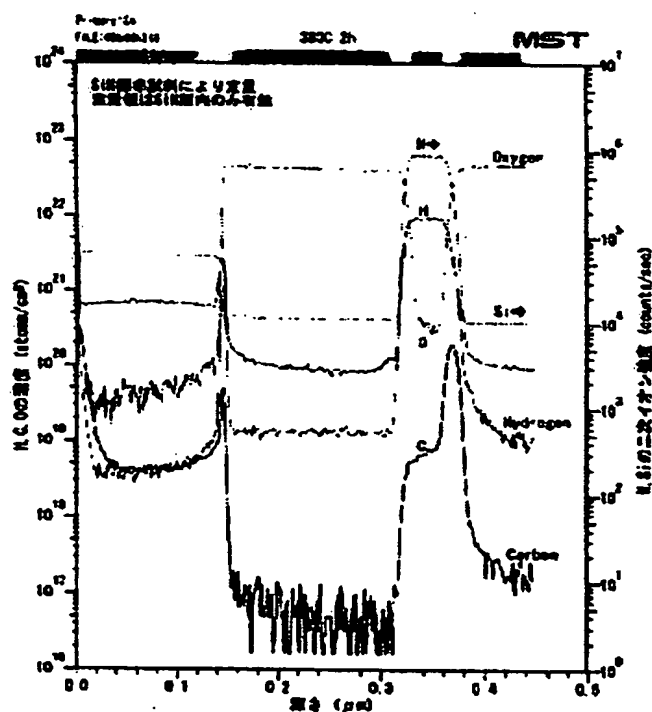
【図 30】



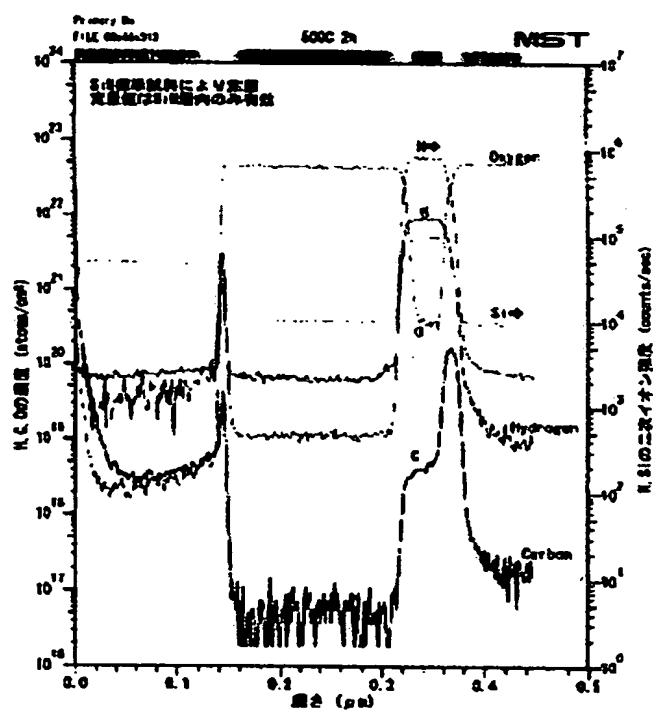
【图 3 1】



【図 3 2】



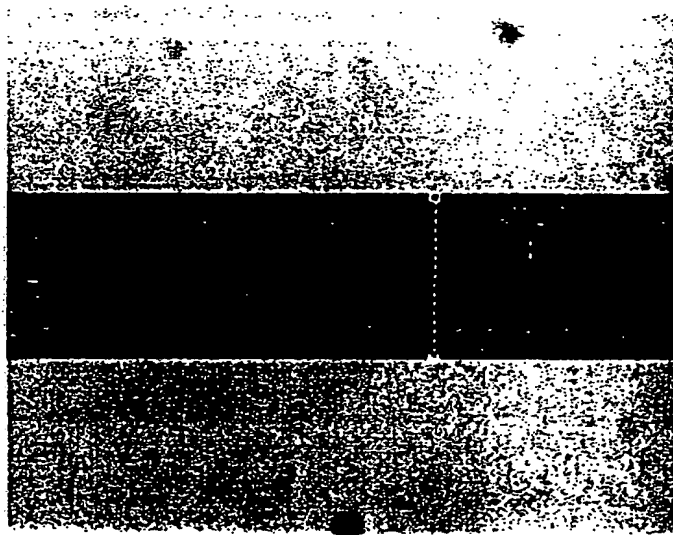
【図 3 5】



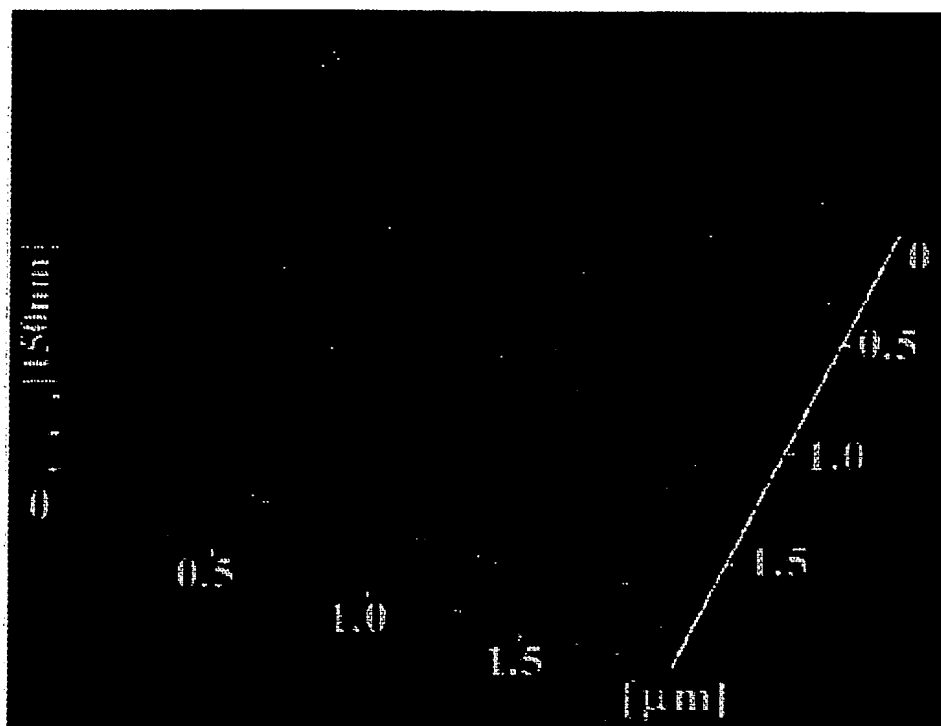
【図 33】



【図 36】



【図 37】



エキシマレーザポリシリコン

【手続補正書】

【提出日】平成13年10月17日（2001. 10. 17）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体装置の製造方法及び半導体製造装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周平回路領域が設けられてなる半導体装置の製造方法であって、前記画素領域及び前記周辺回路領域のうち、少なくとも前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより

り結晶化し、前記各薄膜トランジスタの動作半導体薄膜とするものであり、

前記エネルギービームとして半導体励起の固体レーザ光を用いることを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体薄膜が前記基板上に線状又は島状にパターニングされてなるものであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記基板上に、パターニングされた前記半導体薄膜に対応したエネルギービームの照射位置合わせ用のマーカーが形成されていることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記基板上でパターニングされた前記半導体薄膜は、膜厚の異なる部分を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、

前記画素領域及び前記周辺回路領域のうち、少なくとも前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化するに際し、

前記半導体薄膜には複数のスリットが形成され、前記スリットのほぼ長手方向に沿ってエネルギービームを照射することを特徴とする半導体装置の製造方法。

【請求項 6】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、

前記画素領域及び前記周辺回路領域のうち、少なくとも前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化するに際し、

前記半導体薄膜上には複数の細線状の絶縁膜が形成され、前記絶縁膜のほぼ長手方向に沿ってエネルギービームを照射することを特徴とする半導体装置の製造方法。

【請求項 7】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、

前記画素領域及び前記周辺回路領域のうち、少なくとも前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化するに際し、

前記エネルギービームにより、前記各薄膜トランジスタの形成部位のみを結晶化に適したエネルギー強度で照射し、且つ前記各薄膜トランジスタの非形成部位を高速で通過することを特徴とする半導体装置の製造方法。

【請求項 8】 基板上に、各々複数の薄膜トランジスタを有する画素領域及びその周辺回路領域が設けられてなる半導体装置の製造方法であって、

前記画素領域及び前記周辺回路領域のうち、少なくとも、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化するに際し、

前記半導体薄膜に前記エネルギービームを断続的に照射し、前記各薄膜トランジスタの形成部位のみを選択的に結晶化することを特徴とする半導体装置の製造方法。

【請求項 9】 前記基板の走査速度及び前記断続出射のタイミングを調節することにより、前記半導体薄膜の隣接する前記薄膜トランジスタの形成部位の照射間隔期間に、前記エネルギービームを高速で他の前記形成部位に移動させ、当該他の前記形成部位を照射することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記半導体薄膜の前記薄膜トランジスタの形成部位と異なる部位に前記エネルギービームを断続的に照射し、所定形状に結晶化されてなる前記薄膜トランジスタの位置合わせマーカーを形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】 前記画素領域と前記周辺回路領域とにおいて、時間に対して連続的にエネルギーを出力する前記エネルギービームの照射条件が異なることを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】 前記画素領域に形成された半導体薄膜をパルス状にエネルギーを出力するエネルギービームにより結晶化し、前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化することを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】 前記周辺回路領域に形成された半導体薄膜を時間に対して連続的にエネルギーを出力するエネルギービームにより結晶化して動作半導体薄膜とし、前記画素領域に形成された半導体薄膜をそのまま動作半導体薄膜とすることを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】 前記画素領域と前記周辺回路領域とにおいて、前記半導体薄膜の厚み、ゲート酸化膜の厚みのどちらか一方又は双方が異なることを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 15】 時間に対して連続的にエネルギーを出力する前記エネルギービームを、前記半導体薄膜に対して走査させることを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】 前記画素領域に形成された半導体薄膜に対して、長方形形状をなす画素の短辺に平行に、前記エネルギービームを走査させることを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 17】 時間に対して連続的にエネルギーを出力する複数本の前記エネルギービームを用い、同時に異なる位置に存在する前記半導体薄膜を照射することを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 18】 時間に対して連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であることを特徴とする請求項 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 19】 前記 CW レーザ光が半導体励起の固体レーザ光であることを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 20】 時間に対して連続的にエネルギーを出力する前記エネルギービームにより、前記動作半導体薄膜の結晶状態を流線形状のフローパターンに形成することを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 21】 前記エネルギービームを光学的に複数の副ビームに分割し、前記半導体薄膜の異なる部位に前記各副ビームを同時に照射して結晶化することを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 22】 少なくとも 2 種類の前記各薄膜トランジスタの形成部位において、結晶化のためのビーム走査

速度、エネルギー強度、及びビーム形状のうち少なくとも 1 種が異なることを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 3】 前記基板上に設けられたエネルギービームの照射位置合わせ用のマーカーを照射前に読み取って記憶し、その位置に合わせて前記エネルギービームを照射することを特徴とする請求項 1 又は 5～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 4】 基板上に形成された半導体薄膜を結晶化するエネルギービームを出射する半導体製造装置であって、

前記エネルギービームを時間に対して連続的に複数本出力することが可能であり、照射対象物に対して前記エネルギービームを相対的に走査する機能を有し、前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする半導体製造装置。

【請求項 2 5】 断続的にエネルギーを出力するエネルギービームを出射することが可能であることを特徴とする請求項 2 4 に記載の半導体製造装置。

【請求項 2 6】 時間に対して連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であることを特徴とする請求項 2 4 に記載の半導体製造装置。

【請求項 2 7】 前記 CW レーザ光が半導体励起の固体レーザ光であることを特徴とする請求項 2 6 に記載の半導体製造装置。

【請求項 2 8】 表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で移動可能とする設置手段と、

エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、

前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段とを備えたことを特徴とする半導体製造装置。

【請求項 2 9】 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする請求項 2 8 に記載の半導体製造装置。

【請求項 3 0】 時間に対して連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であること

を特徴とする請求項 2 9 に記載の半導体製造装置。

【請求項 3 1】 前記 CW レーザ光が半導体励起の固体レーザ光であることを特徴とする請求項 3 0 に記載の半導体製造装置。

【請求項 3 2】 表面に半導体薄膜が形成された基板が設置され、前記基板を前記半導体薄膜の面内方向で移動可能とする設置手段と、

エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、

前記エネルギービームを断続的に通過させる断続出射手段とを備えたことを特徴とする半導体製造装置。

【請求項 3 3】 前記レーザ発振手段から出射された前記エネルギービームを光学的に複数の副ビームに分割するビーム分割手段を更に備えたことを特徴とする請求項 3 2 に記載の半導体製造装置。

【請求項 3 4】 前記エネルギービームの出力不安定性が $\pm 1\%/h$ より小値であることを特徴とする請求項 3 2 に記載の半導体製造装置。

【請求項 3 5】 時間に対して連続的にエネルギーを出力する前記エネルギービームが CW レーザ光であることを特徴とする請求項 3 4 に記載の半導体製造装置。

【請求項 3 6】 前記 CW レーザ光が半導体励起の固体レーザ光であることを特徴とする請求項 3 5 に記載の半導体製造装置。

【請求項 3 7】 前記断続出射手段は、前記エネルギービームの通過領域及び遮断領域を備えてなることを特徴とする請求項 3 2 に記載の半導体製造装置。

【請求項 3 8】 基板上に形成された半導体薄膜を結晶化するエネルギービームを出射する半導体製造装置であって、

エネルギービームを時間に対して連続的に出力する機能を有するレーザ発振手段と、

照射対象物に対して前記エネルギービームを相対的に走査する機能を有し、

前記エネルギービームは半導体励起の固体レーザ光であると共に、線状又は楕円形状に成型されてなることを特徴とする半導体製造装置。

フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 21/336
29/786

H 0 1 L 29/78

6 2 7 G
6 1 2 B

(72) 発明者 吉野 健一

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72) 発明者 佐々木 伸夫

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

Fターム(参考) 2H092 JA24 JA46 KA05 KB25 MA05
MA07 MA27 MA30 NA21 NA24
PA01
5C094 AA13 AA21 AA25 AA43 AA48
AA53 BA03 CA19 DA09 DA13
DB01 DB04 EB02 FA01 FB12
FB14 FB15 GB10 JA01 JA20
5F052 AA02 BA01 BA04 BA07 BA11
BA13 BA14 BA18 BB02 BB04
CA04 CA09 DA02 DB03 EA07
EA12 EA15 FA02 FA07 FA22
JA01
5F110 AA01 AA16 BB02 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE03 EE38 EE44
FF02 FF28 FF30 FF32 GG02
GG13 GG16 GG24 GG45 HJ01
HJ04 HJ12 HJ23 HL03 NN04
NN24 NN78 PP03 PP04 PP05
PP06 PP07 PP24 PP29 PP35
QQ11
5G435 AA00 EE33 EE37 HH12 HH13
HH14 KK05